

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: **October 10, 2003**

Application Number: **Patent Application 2003-352203**
[ST.10/C]: **[JP2003-352203]**

Applicant(s): **FUJITSU LIMITED**

December 18, 2003

Commissioner,
Japan Patent Office Yasuo IMAI

Certification No. 2003-3105351



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 1 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 5 2 2 0 3
Application Number:

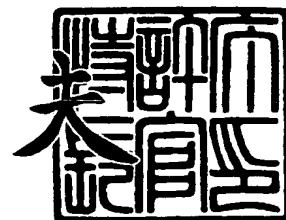
[ST. 10/C] : [J P 2 0 0 3 - 3 5 2 2 0 3]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 3 年 1 2 月 1 8 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康





【書類名】 特許願
【整理番号】 0340403
【提出日】 平成15年10月10日
【あて先】 特許庁長官 殿
【国際特許分類】 H03F 3/45
G09G 3/36

【発明者】
【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエ
スアイ株式会社内
【氏名】 笠井 稔彦

【発明者】
【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエ
スアイ株式会社内
【氏名】 鶴戸 真也

【発明者】
【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエ
スアイ株式会社内
【氏名】 國分 政利

【発明者】
【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエ
スアイ株式会社内
【氏名】 木崎 貴洋

【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社

【代理人】
【識別番号】 100098431
【弁理士】
【氏名又は名称】 山中 郁生
【電話番号】 052-218-7161

【選任した代理人】
【識別番号】 100097009
【弁理士】
【氏名又は名称】 富澤 孝

【手数料の表示】
【予納台帳番号】 041999
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0008078

【書類名】 特許請求の範囲**【請求項 1】**

カレントミラー回路を備えた差動増幅回路を備えるオペアンプであって、
前記差動増幅回路の反転入力端子と非反転入力端子との間に接続された第 1 スイッチと

、
前記オペアンプの出力端子と前記反転入力端子との間に接続され、前記第 1 スイッチに
対して導通および非導通状態が逆に制御される第 2 スイッチと、

前記カレントミラー回路の第 1 及び第 2 電流端子にそれぞれ第 1 及び第 2 トランジスタ
の電流路一端が接続される差動対入力回路と、

前記第 1 トランジスタのゲートと前記オペアンプの出力端子との間に接続され、前記第
1 スイッチの導通時には導通状態とされ、前記第 1 スイッチの非導通時には非導通状態と
される第 3 スイッチと、

前記第 1 トランジスタのゲートと所定電圧との間に接続された第 1 キャパシタと、

前記第 2 トランジスタのゲートと前記オペアンプの出力端子との間に接続され、前記第
2 スイッチの導通状態期間中において所定期間導通状態とされる第 4 スイッチと、

前記第 2 のトランジスタのゲートと所定電圧との間に接続された第 2 キャパシタとを備
え、オフセットキャンセル機能を有することを特徴とするオペアンプ。

【請求項 2】

繰り返し現れる出力期間ごとに、少なくとも 1 つの入力信号を該入力信号ごとに増幅す
るラインドライバであって、

カレントミラー回路を備えた差動増幅回路を備え、前記入力信号を増幅するオペアンプ
を前記入力信号ごとに備え、

前記オペアンプは、

前記差動増幅回路の反転入力端子と非反転入力端子との間に接続された第 1 スイッチと

、
前記オペアンプの出力端子と前記反転入力端子との間に接続され、前記第 1 スイッチに
対して導通および非導通状態が逆に制御される第 2 スイッチと、

前記カレントミラー回路の第 1 及び第 2 電流端子にそれぞれ第 1 及び第 2 トランジスタ
の電流路一端が接続される差動対入力回路と、

前記第 1 トランジスタのゲートと前記オペアンプの出力端子との間に接続され、前記第
1 スイッチの導通時には導通状態とされ、前記第 1 スイッチの非導通時には非導通状態と
される第 3 スイッチと、

前記第 1 トランジスタのゲートと所定電圧との間に接続された第 1 キャパシタと、

前記第 2 トランジスタのゲートと前記オペアンプの出力端子との間に接続され、前記第
2 スイッチの導通状態期間中において所定期間導通状態とされる第 4 スイッチと、

前記第 2 のトランジスタのゲートと所定電圧との間に接続された第 2 キャパシタとを備
え、オフセットキャンセル機能を有することを特徴とするラインドライバ。

【請求項 3】

繰り返し現れる一水平期間ごとに、複数のデータ線を介して画像データ電圧信号を印加
する液晶表示装置であって、

カレントミラー回路を備えた差動増幅回路を備え、前記画像データ電圧信号を増幅する
オペアンプを前記画像データ電圧信号ごとに備え、

前記オペアンプは、

前記差動増幅回路の反転入力端子と非反転入力端子との間に接続された第 1 スイッチと

、
前記オペアンプの出力端子と前記反転入力端子との間に接続され、前記第 1 スイッチに
対して導通および非導通状態が逆に制御される第 2 スイッチと、

前記カレントミラー回路の第 1 及び第 2 電流端子にそれぞれ第 1 及び第 2 トランジスタ
の電流路一端が接続される差動対入力回路と、

前記第 1 トランジスタのゲートと前記オペアンプの出力端子との間に接続され、前記第

1 スイッチの導通時には導通状態とされ、前記第1スイッチの非導通時には非導通状態とされる第3スイッチと、

前記第1トランジスタのゲートと所定電圧との間に接続された第1キャパシタと、

前記第2トランジスタのゲートと前記オペアンプの出力端子との間に接続され、前記第2スイッチの導通状態期間中において所定期間導通状態とされる第4スイッチと、

前記第2のトランジスタのゲートと所定電圧との間に接続された第2キャパシタとを備え、オフセットキャンセル機能を有することを特徴とする液晶表示装置。

【請求項4】

カレントミラー回路を備えた差動増幅回路を備えるオペアンプであって、

前記差動増幅回路の反転入力端子と非反転入力端子との間に接続された第1スイッチと

、
前記オペアンプの出力端子と前記反転入力端子との間に接続され、前記第1スイッチに対して導通および非導通状態が逆に制御される第2スイッチと、

前記カレントミラー回路の第1及び第2電流端子にそれぞれ第1及び第2トランジスタの電流路一端が接続される差動対入力回路と、

前記第1トランジスタのゲートと前記オペアンプの出力端子との間に接続され、前記第1スイッチの導通時には導通状態とされ、前記第1スイッチの非導通時には非導通状態とされる第3スイッチと、

前記第1トランジスタのゲートと所定電圧との間に接続された第1キャパシタと、

前記第2トランジスタのゲートと前記非反転入力端子との間に接続され、前記第2スイッチの導通状態期間中において所定期間導通状態とされる第5スイッチと、

前記第2のトランジスタのゲートと所定電圧との間に接続された第2キャパシタとを備え、オフセットキャンセル機能を有することを特徴とするオペアンプ。

【請求項5】

繰り返し現れる出力期間ごとに、少なくとも1つの入力信号を該入力信号ごとに増幅するラインドライバであって、

カレントミラー回路を備えた差動増幅回路を備え、前記入力信号を増幅するオペアンプを前記入力信号ごとに備え、

前記オペアンプは、

前記差動増幅回路の反転入力端子と非反転入力端子との間に接続された第1スイッチと

、
前記オペアンプの出力端子と前記反転入力端子との間に接続され、前記第1スイッチに対して導通および非導通状態が逆に制御される第2スイッチと、

前記カレントミラー回路の第1及び第2電流端子にそれぞれ第1及び第2トランジスタの電流路一端が接続される差動対入力回路と、

前記第1トランジスタのゲートと前記オペアンプの出力端子との間に接続され、前記第1スイッチの導通時には導通状態とされ、前記第1スイッチの非導通時には非導通状態とされる第3スイッチと、

前記第1トランジスタのゲートと所定電圧との間に接続された第1キャパシタと、

前記第2トランジスタのゲートと前記非反転入力端子との間に接続され、前記第2スイッチの導通状態期間中において所定期間導通状態とされる第5スイッチと、

前記第2のトランジスタのゲートと所定電圧との間に接続された第2キャパシタとを備え、オフセットキャンセル機能を有することを特徴とするラインドライバ。

【請求項6】

繰り返し現れる一水平期間ごとに、複数のデータ線を介して画像データ電圧信号を印加する液晶表示装置であって、

カレントミラー回路を備えた差動増幅回路を備え、前記画像データ電圧信号を増幅するオペアンプを前記画像データ電圧信号ごとに備え、

前記オペアンプは、

前記差動増幅回路の反転入力端子と非反転入力端子との間に接続された第1スイッチと

前記オペアンプの出力端子と前記反転入力端子との間に接続され、前記第1スイッチに対して導通および非導通状態が逆に制御される第2スイッチと、

前記カレントミラー回路の第1及び第2電流端子にそれぞれ第1及び第2トランジスタの電流路一端が接続される差動対入力回路と、

前記第1トランジスタのゲートと前記オペアンプの出力端子との間に接続され、前記第1スイッチの導通時には導通状態とされ、前記第1スイッチの非導通時には非導通状態とされる第3スイッチと、

前記第1トランジスタのゲートと所定電圧との間に接続された第1キャパシタと、

前記第2トランジスタのゲートと前記非反転入力端子との間に接続され、前記第2スイッチの導通状態期間中において所定期間導通状態とされる第5スイッチと、

前記第2のトランジスタのゲートと所定電圧との間に接続された第2キャパシタとを備え、オフセットキャンセル機能を有することを特徴とする液晶表示装置。

【請求項7】

繰り返し現れる出力期間ごとに、少なくとも1つの入力信号を該入力信号ごとに増幅するラインドライバであって、

前記入力信号の増幅用として前記入力信号に対して少なくとも1つ多いオペアンプと、

前記オペアンプのうち、前記入力信号が入力されて増幅動作を行うオペアンプを前記出力期間ごとに切り替えて選択する切替スイッチ部とを備え、

前記出力期間に、非選択となるオペアンプに対してオフセットキャンセルが行われることを特徴とするラインドライバ。

【請求項8】

前記ラインドライバは、

前記入力信号の増幅用として前記入力信号に対して1つ多いオペアンプと、

隣接する2つの前記オペアンプごとに備えられ、何れか一方の前記オペアンプを選択する切替スイッチ部とを備え、

前記入力信号が入力されない非選択のオペアンプに対してオフセットキャンセルが行われ、隣接する前記切替スイッチ部が前記出力期間ごとに順次切り替えられることを特徴とする請求項7に記載のラインドライバ。

【請求項9】

繰り返し現れる一水平期間ごとに、複数のデータ線を介して画像データを印加する液晶表示装置であって、

前記入力信号の増幅用として前記入力信号に対して少なくとも1つ多いオペアンプと、

前記オペアンプのうち、前記入力信号が入力されて増幅動作を行うオペアンプを前記出力期間ごとに切り替えて選択する切替スイッチ部とを備え、

前記出力期間に、非選択となるオペアンプに対してオフセットキャンセルが行われることを特徴とするラインドライバを備えることを特徴とする液晶表示装置。

【請求項10】

オペアンプのオフセット値を基準電圧との差分電圧として取り込むオフセット電圧取り込み作業と、差分電圧を出力電圧からキャンセルするオフセット電圧キャンセル作業とを交互に繰り返し行うオフセットキャンセル回路において、

前記オフセット電圧取り込み作業時で使用される基準電圧として、それ以前の入力電圧またはそれ以前のオフセット電圧キャンセル作業後の出力電圧を使用することを特徴とするオフセットキャンセル回路。

【書類名】明細書

【発明の名称】オペアンプ、ラインドライバおよび液晶表示装置

【技術分野】

【0001】

本発明は、オフセットキャンセル機能を有するオペアンプに関する。またオフセットキャンセル機能を有する液晶表示装置のラインドライバおよび液晶表示装置に関するものである。

【背景技術】

【0002】

オペアンプでは、構成トランジスタの電流電圧特性のバラツキによりオフセット電圧が発生する場合がある。このようなオフセット電圧の発生は、オペアンプの特性上好ましくない。例えば、複数のオペアンプが複数のデータ線を駆動する液晶表示装置のソースドライバ回路において、同じ入力電圧に対してもオペアンプの出力電圧が異なる場合があり、表示画像の色むらの原因になる。従って、オペアンプのオフセットを抑制することが必要である。

【0003】

特許文献1には、図10に示すようなオフセットキャンセル機能を有するオペアンプ回路100および図11に示すようなオペアンプ回路100の動作を示すタイムチャートが開示されている。図11の時点 t_1 から t_2 までのオフセットキャンセル準備期間では、図10においてスイッチSW101及びSW103がオンにされ、スイッチSW102がオフにされる。これにより、出力電圧VOJがNMOSトランジスタM101のゲートにフィードバックされずにNMOSトランジスタM101とM102のゲート電圧が入力電圧VIJになるので、差動対入力回路115はカレントミラー回路114に対する電流源として動作する。これに対し、NMOSトランジスタM108のゲートに出力電圧VOJがフィードバックされるので、カレントミラー回路114と差動対入力回路116からなる差動増幅回路と出力バッファ回路112とによりボルテージホロワ回路が構成され、出力電圧VOJが参照電圧Vrefに近づくようにフィードバック制御される。このとき、MOSトランジスタのゲート酸化膜厚のばらつきなどにより電圧V101とV102とが互いに等しくならず、出力電圧VOJが入力電圧VIJからずれるというオフセットが生ずる。このオフセットを含んだ出力電圧VOJによりキャパシタC101が充電又は放電されて、そのスイッチSW103側の電極の電圧が出力電圧VOJに等しくなる。すなわちキャパシタC101にその安定状態での出力電圧VOJが記憶される。

【0004】

時点 t_2 でスイッチSW101及びSW103がオフにされ、スイッチSW102がオンにされると、差動対入力回路115と116の動作が逆になり、差動増幅回路111と出力バッファ回路112とでボルテージホロワが構成されて、出力電圧VOJが入力電圧VIJに近づくようにフィードバック制御される。このとき、NMOSトランジスタM108のゲート電圧は時点 t_2 での出力電圧VOJに等しい。差動対入力回路115と116の動作が逆になっても、差動対入力回路115と116とがカレントミラー回路114に並列に接続されており、また、NMOSトランジスタM102、M108及びM109のゲート電圧が時点 t_2 のスイッチ切換直前における安定状態の電圧に等しいので、NMOSトランジスタM101のゲート電圧は該スイッチ切換直前の電圧である入力電圧VIJに一致した状態でフィードバック制御が安定する。すなわちオフセット電圧がキャンセルされ、入力電圧VIJと等しい出力電圧VOJが出力される。

【0005】

また特許文献1には、オフセットキャンセル機能を備えたオペアンプ回路をデータドライバ（ラインドライバ）に用いた液晶表示装置の概略構成が図12に示すように開示されている。液晶表示パネル120には、垂直方向に延びた複数のデータ線121と水平方向に延びた複数の走査線122とが互いにクロスオーバーして形成され、各クロスオーバー点に対応して画素が形成されている。データ線121及び走査線122の一端はそれぞれデー

タドライバ（ラインドライバ）130及び走査ドライバ140に接続されている。制御回路150は、外部から供給されるビデオ信号、ピクセルクロック信号、水平同期信号及び垂直同期信号に基づいて、データドライバ（ラインドライバ）130に表示データ信号及びクロック信号を供給すると共に、走査ドライバデータドライバ（ラインドライバ）130に走査制御信号を供給する。データドライバ（ラインドライバ）130は、1水平走査期間毎（及び1ピクセル毎）に、表示データをグラウンド電圧GNDに対し正極性及び負極性の電圧に変換して出力する。データドライバ（ラインドライバ）130では、その出力段に正極性のオフセットキャンセル付ボルテージホロワ131、負極性のオフセットキャンセル付ボルテージホロワ132が形成され、これらの隣り合う一対の正及び負極性のオフセットキャンセル付ボルテージホロワ毎にその出力が切換回路133で平行接続又はクロスオーバー接続されるように、液晶表示パネル120のデータ線121に接続されている。正極性のオフセットキャンセル付ボルテージホロワ131はオペアンプ回路100と同一構成であり、負極性のオフセットキャンセル付ボルテージホロワ132は、オペアンプ回路100においてNMOSトランジスタとPMOSトランジスタとを入れ替えた構成である。

【特許文献1】特開2003-168936号公報（段落0019-0035、図1および図2）

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら前記特許文献1では、オペアンプのオフセットをキャンセルするための参照電圧として一定値である参照電圧V_{ref}を用いていたため、出力電圧V_{OJ}と参照電圧V_{ref}との電圧差が大きい場合には、オフセット電圧を含んだ出力電圧V_{OJ}までフィードバック制御が行われるのに時間が掛かるため、その事態を想定してオフセットキャンセル準備期間を長くとる必要がある。よってオフセットキャンセル準備期間の短縮化の妨げとなるために問題である。

【0007】

また液晶表示装置では、液晶表示装置の高精細化のために表示ライン数が多くなる場合には一水平期間を短くしなければならない。しかし前記特許文献1における液晶表示装置では、一水平期間内にオフセットキャンセル準備期間が存在するため、一水平期間全体の短縮化が困難であり問題である。

【0008】

本発明は前記従来技術の課題の少なくとも1つを解消するためになされたものであり、より短時間でオフセットキャンセルが可能なオペアンプ、並びに一水平期間を短くすることが可能なラインドライバおよび液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

前記目的を達成するために、請求項1に係るオペアンプは、カレントミラー回路を備えた差動増幅回路を備えるオペアンプであって、差動増幅回路の反転入力端子と非反転入力端子との間に接続された第1スイッチと、オペアンプの出力端子と反転入力端子との間に接続され、第1スイッチに対して導通および非導通状態が逆に制御される第2スイッチと、カレントミラー回路の第1及び第2電流端子にそれぞれ第1及び第2トランジスタの電流路一端が接続される差動対入力回路と、第1トランジスタのゲートとオペアンプの出力端子との間に接続され、第1スイッチの導通時には導通状態とされ、第1スイッチの非導通時には非導通状態とされる第3スイッチと、第1トランジスタのゲートと所定電圧との間に接続された第1キャパシタと、第2トランジスタのゲートとオペアンプの出力端子との間に接続され、第2スイッチの導通状態期間中において所定期間導通状態とされる第4スイッチと、第2のトランジスタのゲートと所定電圧との間に接続された第2キャパシタとを備え、オフセットキャンセル機能を有することを特徴とする。

【0010】

また請求項4に係るオペアンプは、カレントミラー回路を備えた差動増幅回路を備えるオペアンプであって、差動増幅回路の反転入力端子と非反転入力端子との間に接続された第1スイッチと、オペアンプの出力端子と反転入力端子との間に接続され、第1スイッチに対して導通および非導通状態が逆に制御される第2スイッチと、カレントミラー回路の第1及び第2電流端子にそれぞれ第1及び第2トランジスタの電流路一端が接続される差動対入力回路と、第1トランジスタのゲートとオペアンプの出力端子との間に接続され、第1スイッチの導通時には導通状態とされ、第1スイッチの非導通時には非導通状態とされる第3スイッチと、第1トランジスタのゲートと所定電圧との間に接続された第1キャパシタと、第2トランジスタのゲートと非反転入力端子との間に接続され、第2スイッチの導通状態期間中において所定期間導通状態とされる第5スイッチと、第2のトランジスタのゲートと所定電圧との間に接続された第2キャパシタとを備え、オフセットキャンセル機能を有することを特徴とする。

【0011】

請求項1および4に係るオペアンプでは、第2スイッチが導通状態にされ、第1および第3スイッチが非導通状態にされるときは出力期間である。所定電圧とは例えば接地電圧が用いられる。請求項1に係るオペアンプでは第2スイッチの導通状態期間中において第4スイッチが所定期間導通状態とされ、オペアンプの出力端子の電圧値が第2キャパシタに記憶される。請求項4に係るオペアンプでは第2スイッチの導通状態期間中において第5スイッチが所定期間導通状態とされ、非反転入力端子の電圧値が第2キャパシタに記憶される。第4または第5スイッチが導通状態とされる所定期間の長さおよび期間の開始時は、第2スイッチの導通状態期間中であればよい。そしてオペアンプの出力端子の電圧値または非反転入力端子の電圧値が第2スイッチの導通状態期間内で最も変化する場合においても、変化後の電圧値が安定するために十分な時間が経過した時を第4または第5スイッチの導通状態とする期間開始時とし、その変化後の電圧値が第2キャパシタに記憶されるために十分な期間長さであればよい。なお出力期間では、出力端子の電圧値と非反転入力端子の電圧値とは略等しくなっている。次に第2スイッチおよび第4または第5スイッチが非導通状態に状態遷移されると共に、第1および第3スイッチが導通状態に状態遷移されると、オフセットキャンセル準備期間となる。第3スイッチの導通により第1トランジスタのゲートにオペアンプの出力端子の電圧値がフィードバックされる。また第2トランジスタのゲートには、状態遷移前のオペアンプの出力端子の電圧値または非反転入力端子の電圧値が、第2キャパシタに記憶され印加される。

【0012】

これによりオフセットキャンセル準備期間では、第3スイッチの導通により第1トランジスタのゲートにオペアンプの出力端子の電圧値がフィードバックされ、オペアンプの出力端子の電圧値が、状態遷移前の出力端子の電圧値である第2キャパシタの電圧値に略等しくなるように制御される。このときオペアンプはボルテージホロワの動作を行うためである。ただしこの期間には、第1スイッチが導通しており、差動増幅回路のオフセット電圧が加算されて制御される。このためオペアンプの出力端子の電圧値が第2キャパシタの電圧値に対してオフセット電圧だけずれた電圧にフィードバック制御される。従来技術では、オペアンプのオフセットをキャンセルするための参照電圧として固定値の電圧を用いていたため、オペアンプの出力端子と固定値の電圧との電圧差が大きい場合には、フィードバック制御が終了するのに時間が掛かるため、その事態を想定してオフセットキャンセル準備期間を長く取る必要があり、オフセットキャンセル準備期間の短縮化の妨げとなっていた。ところが請求項1および4に係るオペアンプでは、第2キャパシタの電圧値とフィードバック制御が開始される時点でのオペアンプの出力端子の電圧値とが略等しいため、フィードバック制御が終了するまでの時間が短くできる。よってオフセットキャンセル準備期間の短縮化が可能となる。

【0013】

また請求項2に係るラインドライバは、繰り返し現れる出力期間ごとに、少なくとも1つの入力信号を該入力信号ごとに増幅するラインドライバであって、カレントミラー回路

を備えた差動増幅回路を備え、入力信号を増幅するオペアンプを入力信号ごとに備え、オペアンプは、差動増幅回路の反転入力端子と非反転入力端子との間に接続された第1スイッチと、オペアンプの出力端子と反転入力端子との間に接続され、第1スイッチに対して導通および非導通状態が逆に制御される第2スイッチと、カレントミラー回路の第1及び第2電流端子にそれぞれ第1及び第2トランジスタの電流路一端が接続される差動対入力回路と、第1トランジスタのゲートとオペアンプの出力端子との間に接続され、第1スイッチの導通時には導通状態とされ、第1スイッチの非導通時には非導通状態とされる第3スイッチと、第1トランジスタのゲートと所定電圧との間に接続された第1キャパシタと、第2トランジスタのゲートとオペアンプの出力端子との間に接続され、第2スイッチの導通状態期間中において所定期間導通状態とされる第4スイッチと、第2のトランジスタのゲートと所定電圧との間に接続された第2キャパシタとを備え、オフセットキャンセル機能を有することを特徴とする。

【0014】

また請求項5に係るラインドライバは、繰り返し現れる出力期間ごとに、少なくとも1つの入力信号を該入力信号ごとに増幅するラインドライバであって、カレントミラー回路を備えた差動増幅回路を備え、入力信号を増幅するオペアンプを入力信号ごとに備え、オペアンプは、差動増幅回路の反転入力端子と非反転入力端子との間に接続された第1スイッチと、オペアンプの出力端子と反転入力端子との間に接続され、第1スイッチに対して導通および非導通状態が逆に制御される第2スイッチと、カレントミラー回路の第1及び第2電流端子にそれぞれ第1及び第2トランジスタの電流路一端が接続される差動対入力回路と、第1トランジスタのゲートとオペアンプの出力端子との間に接続され、第1スイッチの導通時には導通状態とされ、第1スイッチの非導通時には非導通状態とされる第3スイッチと、第1トランジスタのゲートと所定電圧との間に接続された第1キャパシタと、第2トランジスタのゲートと非反転入力端子との間に接続され、第2スイッチの導通状態期間中において所定期間導通状態とされる第5スイッチと、第2のトランジスタのゲートと所定電圧との間に接続された第2キャパシタとを備え、オフセットキャンセル機能を有することを特徴とする。

【0015】

これによりオフセットキャンセル準備期間の短縮化がされたラインドライバを構成することができる。よってラインドライバの高速化を図ることができる。

【0016】

また請求項3に係る液晶表示装置は、繰り返し現れる一水平期間ごとに、複数のデータ線を介して画像データ電圧信号を印加する液晶表示装置であって、カレントミラー回路を備えた差動増幅回路を備え、画像データ電圧信号を増幅するオペアンプを画像データ電圧信号ごとに備え、オペアンプは、差動増幅回路の反転入力端子と非反転入力端子との間に接続された第1スイッチと、オペアンプの出力端子と反転入力端子との間に接続され、第1スイッチに対して導通および非導通状態が逆に制御される第2スイッチと、カレントミラー回路の第1及び第2電流端子にそれぞれ第1及び第2トランジスタの電流路一端が接続される差動対入力回路と、第1トランジスタのゲートとオペアンプの出力端子との間に接続され、第1スイッチの導通時には導通状態とされ、第1スイッチの非導通時には非導通状態とされる第3スイッチと、第1トランジスタのゲートと所定電圧との間に接続された第1キャパシタと、第2トランジスタのゲートとオペアンプの出力端子との間に接続され、第2スイッチの導通状態期間中において所定期間導通状態とされる第4スイッチと、第2のトランジスタのゲートと所定電圧との間に接続された第2キャパシタとを備え、オフセットキャンセル機能を有することを特徴とする。

【0017】

また請求項6に係る液晶表示装置は、繰り返し現れる一水平期間ごとに、複数のデータ線を介して画像データ電圧信号を印加する液晶表示装置であって、カレントミラー回路を備えた差動増幅回路を備え、画像データ電圧信号を増幅するオペアンプを画像データ電圧信号ごとに備え、オペアンプは、差動増幅回路の反転入力端子と非反転入力端子との間に

接続された第1スイッチと、オペアンプの出力端子と反転入力端子との間に接続され、第1スイッチに対して導通および非導通状態が逆に制御される第2スイッチと、カレントミラー回路の第1及び第2電流端子にそれぞれ第1及び第2トランジスタの電流路一端が接続される差動対入力回路と、第1トランジスタのゲートとオペアンプの出力端子との間に接続され、第1スイッチの導通時には導通状態とされ、第1スイッチの非導通時には非導通状態とされる第3スイッチと、第1トランジスタのゲートと所定電圧との間に接続された第1キャパシタと、第2トランジスタのゲートと非反転入力端子との間に接続され、第2スイッチの導通状態期間中において所定期間導通状態とされる第5スイッチと、第2のトランジスタのゲートと所定電圧との間に接続された第2キャパシタとを備え、オフセットキャンセル機能を有することを特徴とする。

【0018】

これによりオフセットキャンセル準備期間の短縮化がされたオペアンプを搭載した液晶表示装置を構成することができる。よって液晶表示装置の高精細化を図ることができる。

【0019】

また請求項7に係るラインドライバは、繰り返し現れる出力期間ごとに、少なくとも1つの入力信号を該入力信号ごとに増幅するラインドライバであって、入力信号の増幅用として入力信号に対して少なくとも1つ多いオペアンプと、オペアンプのうち、入力信号が入力されて増幅動作を行うオペアンプを出力期間ごとに切り替えて選択する切替スイッチ部とを備え、出力期間に、非選択となるオペアンプに対してオフセットキャンセルが行われることを特徴とする。

【0020】

入力信号が入力される選択されたオペアンプは、入力信号を該入力信号ごとに増幅して出力する。また選択されたオペアンプが信号を出力している間に、入力信号が入力されない非選択のオペアンプに対してオフセットキャンセルが行われる。そして選択されたオペアンプを切替スイッチ部によって出力期間ごとに切り替えて選択するため、非選択となるオペアンプも出力期間ごとに切り替えられる。全てのオペアンプが一定の順番で非選択とされるように切替スイッチ部が切り替えられ、全てのオペアンプのオフセットキャンセルが行われる。これにより、各出力期間に先立ち別途オフセットキャンセル準備期間を設ける必要がなくなる。よってオフセットキャンセル準備期間を出力期間に埋め込ませる必要がなくなる。

【0021】

また請求項8に係るラインドライバは、請求項7に記載のラインドライバにおいて、ラインドライバは、入力信号の増幅用として入力信号に対して1つ多いオペアンプと、隣接する2つのオペアンプごとに備えられ、何れか一方のオペアンプを選択する切替スイッチ部とを備え、入力信号が入力されない非選択のオペアンプに対してオフセットキャンセルが行われ、隣接する切替スイッチ部が出力期間ごとに順次切り替えられることを特徴とする。

【0022】

入力信号の信号数に対して1つ多い数のオペアンプが備えられる。また入力信号が入力されて増幅動作を行うオペアンプを出力期間ごとに切り替えて選択する切替スイッチ部が備えられる。例えば隣接する2つのオペアンプごとに切替スイッチ部が備えられ、切替スイッチ部が出力期間ごとに順次切り替えられる。そして出力期間に非選択となるオペアンプに対してオフセットキャンセルが行われる。

【0023】

これにより、入力信号が入力されないオペアンプが出力期間ごとに順次遷移し、入力信号が入力されない間にオフセットキャンセル動作が行われる。そして一度オフセットキャンセル動作が行われれば、得られたオフセット値は次のオフセットキャンセル動作が行われるまで保持される。よって各出力期間に先立ち別途オフセットキャンセル準備期間を設ける必要がなく、オフセットキャンセル準備期間を出力期間に埋め込ませる必要がなくなる。

【0024】

また請求項9に係る液晶表示装置は、繰り返し現れる一水平期間ごとに、複数のデータ線を介して画像データを印加する液晶表示装置であって、入力信号の増幅用として入力信号に対して少なくとも1つ多いオペアンプと、オペアンプのうち、入力信号が入力されて増幅動作を行うオペアンプを出力期間ごとに切り替えて選択する切替スイッチ部とを備え、出力期間に、非選択となるオペアンプに対してオフセットキャンセルが行われることを特徴とするラインドライバを備えることを特徴とする。

【0025】

これにより、各出力期間に先立ってオフセットキャンセル準備期間を設ける必要がなくなるため、一水平期間を短くすることができ、表示ライン数を多くして液晶表示装置の高精細化を図ることができる。

【0026】

また請求項10に係るオフセットキャンセル回路は、オペアンプのオフセット値を基準電圧との差分電圧として取り込むオフセット電圧取り込み作業と、差分電圧を出力電圧からキャンセルするオフセット電圧キャンセル作業とを交互に繰り返し行うオフセットキャンセル回路において、オフセット電圧取り込み作業時で使用される基準電圧として、それ以前の入力電圧またはそれ以前のオフセット電圧キャンセル作業後の出力電圧を使用することを特徴とする。

【0027】

オフセット電圧キャンセル作業では差分電圧が出力電圧からキャンセルされ、オフセット電圧キャンセル作業後においては、入力電圧に対応しオフセット値がキャンセルされた出力電圧が得られる。オフセット電圧取り込み作業では、オペアンプのオフセット値が基準電圧との差分電圧として取り込まれる。オフセット電圧取り込み作業は、例えばオペアンプの出力電圧が、基準電圧に対してオペアンプのオフセット値を差分電圧として含むようにフィードバック制御されることで行われる。基準電圧としては、オフセット電圧取り込み作業以前の入力電圧、またはオフセット電圧取り込み作業以前であってオフセット電圧キャンセル作業後に得られる出力電圧が用いられる。ここでオフセット電圧キャンセル作業後に得られる出力電圧は、オフセット値がキャンセルされた出力電圧である。そして入力電圧またはオフセット値がキャンセルされた出力電圧が、例えばキャパシタ等の電圧を保持する機構によって保持されることで、オフセット電圧取り込み作業時には当該保持された電圧を基準電圧として用いることができる。

【0028】

これにより、基準電圧とオフセット電圧取り込み作業が開始される時点でのオペアンプの出力端子の電圧値とが略等しいため、オフセット電圧取り込み作業の時間が短くできる。よってオフセット電圧取り込み作業期間の短縮化が可能となる。

【発明の効果】

【0029】

本発明のオフセットキャンセル機能を有するオペアンプ、ラインドライバおよび液晶表示装置によれば、オフセットキャンセル時のフィードバック制御が終了するまでの時間が短くでき、オフセットキャンセル準備期間の短縮化が可能となる。また、入力信号が入力されないオペアンプが出力期間ごとに順次遷移し、入力信号が入力されない非選択のオペアンプがその非選択の間にオフセットキャンセルされる。よって各出力期間のに先立ってオフセットキャンセル準備期間を設ける必要がなくなる。

【発明を実施するための最良の形態】

【0030】

以下、本発明のオフセットキャンセル機能を有するオペアンプ、ラインドライバおよび液晶表示装置について具体化した実施形態を図1乃至図9に基づき図面を参照しつつ詳細に説明する。本発明の第1実施形態における第1実施例を図1および図2を用いて説明する。図1に第1実施形態のオフセットキャンセル回路を備えたオペアンプ10の回路図を示す。オペアンプ回路1はカレントミラー回路2、第1差動対入力回路3、出力バッファ

回路 6 を備え、オフセットキャンセル回路 5 は第 2 差動対入力回路 4 を備える。カレントミラー回路 2 および第 1 差動対入力回路 3 によって差動増幅回路 7 が構成される。第 1 差動対入力回路 3 と第 2 差動対入力回路 4 とは、第 1 電流端子 N1 および第 2 電流端子 N2 でカレントミラー回路 2 に対して並列に接続されている。カレントミラー回路 2 では、PMOS トランジスタ M4 と M5 のソースが電源電圧 VDD に接続され、PMOS トランジスタ M4 と M5 のゲートが PMOS トランジスタ M4 のドレインに接続されている。差動対入力回路 3 では、NMOS トランジスタ M1 と M2 のソースが NMOS トランジスタ M3 のドレインに接続され、トランジスタ M3 のソースがグランド電圧 GND に接続されている。NMOS トランジスタ M3 は、そのゲートにバイアス電圧 VBB が印加されて定電流源として機能する。出力バッファ回路 6 は、電源電圧 VDD とグランド電圧 GND との間に直列接続された PMOS トランジスタ M6 と NMOS トランジスタ M7 とからなり、NMOS トランジスタ M7 は、そのゲートにバイアス電圧 VBB が印加されて定電流源として機能する。トランジスタ M6 のドレインが出力端子 VOUT に接続される。

【0031】

またスイッチ SW1 は反転入力端子 N5 と非反転入力端子 N6 との間に、スイッチ SW2 はオペアンプの出力端子 VOUT と反転入力端子 N5 との間にそれぞれ接続されている。オフセットキャンセル回路 5 は、第 1 差動対入力回路 3 と同一構成の第 2 差動対入力回路 4、第 1 キャパシタ C1 および第 2 キャパシタ C2、スイッチ SW3 および SW4 を備える。第 1 キャパシタ C1 の一端は NMOS トランジスタ M8 のゲートとノード N3 で接続され、他端はグランド電圧 GND へと接続される。第 2 キャパシタ C2 の一端は NMOS トランジスタ M9 のゲートとノード N4 で接続され、他端はグランド電圧 GND へと接続される。またスイッチ SW3 はノード N3 と出力端子 VOUT との間に、スイッチ SW4 はノード N4 と出力端子 VOUT との間にそれぞれ接続されている。

【0032】

次に動作を説明する。図 2 はタイミングチャートである。本発明のオフセットキャンセル機能を備えたオペアンプ 10 は、一水平期間 H1 の中にオフセットキャンセル準備期間 HC1 と出力期間 HT1 とをそなえ、一水平期間を H1、H2…と繰り返す動作を行う。また一水平期間 Hn における出力電圧を出力電圧 VO(n)、入力電圧を入力電圧 VI(n) とする。また本発明のオペアンプ 10 におけるノード N3、N4 の電圧を VC1、VC2 とし、従来のオペアンプ 100 におけるノード N103、N104 の電圧を VC101、VC102 とする。図 2 の出力期間 HT1 の時間 t1 では、スイッチ SW2 がオンにされ、スイッチ SW1、SW3 がオフにされる。またスイッチ SW4 はオフ状態である。このとき後述する原理によってオフセットがキャンセルされるため、出力電圧 VO(1) の電圧値は入力電圧 VI(1) の電圧値 VV0 と等しい値となる(図 2、矢印 K1)。

【0033】

次に時間 t2 から t3 において、出力期間 HT1 における出力電圧 VO(1) の電圧値 VV0 を第 2 キャパシタ C2 に記憶させる動作が行われる。すなわち時間 t2 においてスイッチ SW4 がオンにされ、第 2 キャパシタ C2 と出力端子 VOUT とが導通状態とされる。第 2 キャパシタ C2 には出力電圧 VO(1) の電圧値 VV0 が蓄えられるため、ノード N4 の電圧 VC2 も電圧値 VV0 となる。そして所定時間経過した時間 t3 においてスイッチ SW4 がオフにされ、第 2 キャパシタ C2 と出力端子 VOUT とが非導通状態とされる。これにより出力期間 HT1 における出力電圧 VO(1) の電圧値 VV0 が第 2 キャパシタ C2 に記憶される(図 2、矢印 K2)。

【0034】

なお時間 t2 から t3 までの所定時間には、第 2 キャパシタ C2 に記憶される電圧値の変化量が最も大きい時においても充放電が完了できる十分な長さの時間が必要であり、第 2 キャパシタ C2 の容量、出力電圧 VO の電圧値の振れ幅、配線容量等によって定まる値である。そしてスイッチ SW4 がオン、オフとされるタイミングは出力期間 HT 内であればよく、オペアンプの出力端子の電圧値が出力期間 HT 内で最も変化する場合においても、変化後の電圧値が安定するために十分な時間が経過した時をスイッチ SW4 のオン状態

とする期間開始時とし、その変化後の電圧値が第2キャパシタC2に記憶されるために十分な期間をスイッチSW4をオン状態にする期間長さとすればよい。

【0035】

そして時間t4において、次の一水平期間H2のオフセットキャンセル準備期間HC2へ移行する。一水平期間H2では、入力端子VINには一水平期間H2の入力電圧VI(2) (電圧値VV1) が印加される。そして図1においてスイッチSW1、SW3がオンにされ、スイッチSW2がオフにされる。スイッチSW4はオフの状態である。オフセットキャンセル準備期間HC2では、図1において、スイッチSW1の導通によりトランジスタM1、M2の両ゲートに等しい入力電圧VI(2) が印加され、スイッチSW3の導通によりトランジスタM8のゲートにトランジスタM6のドレインがフィードバックされる。またトランジスタM9のゲートには、第2キャパシタC2に記憶されている、出力期間HT1における出力電圧VO(1) の電圧値VV0が印加される。

【0036】

トランジスタM1、M2のゲートソース間電圧・ドレイン電流特性にバラツキがある場合、両トランジスタのゲートに等しい入力電圧VI(2) (電圧値VV1) が印加されても、それに伴うドレイン電流は異なる。例えば、トランジスタM2の電流駆動能力が高くなるようにばらついているとすると、トランジスタM2のドレイン電流のほうが、トランジスタM1のドレイン電流より大きくなる。ここでカレントミラー回路2の第1電流端子N1と第2電流端子N2とに流れる電流値は等しいとする。トランジスタM1、M2の特性バラツキに起因する異なるドレイン電流を吸収するようなドレイン電流が、トランジスタM8、M9に流れるように (トランジスタM1、M8のドレイン電流の合計値と、トランジスタM2、M9のドレイン電流の合計値とが等しくなるように)、トランジスタM8のゲート電圧値であるノードN3の電圧VC1がフィードバック制御される。

【0037】

そして時間t5の安定状態では、ノードN3の電圧VC1がノードN4の電圧VC2 (記憶されている出力電圧VO(1) (電圧値VV0)) を基準として、オフセット電圧Voffだけずれた電圧 (ノードN4の電圧VC2 (電圧値VV0) + オフセット電圧Voff) に設定されることで (図2、点P1)、第1電流端子N1および第2電流端子N2に同じ電流が流れる状態で安定になる。そしてこのときのノードN3のオフセット電圧を含んだ電圧VC1が第1キャパシタC1に記憶される。すなわち、トランジスタM1、M2のゲートに同じ入力電圧VI(2) (電圧値VV1) が印加された状態におけるオフセットドレイン電流が、オフセットキャンセル回路5に記憶される。

【0038】

ここで図2のタイミングチャートにおいて、本発明のオペアンプ10におけるノードN3の電圧VC1の安定化時間TT1と、従来のオペアンプ100におけるノードN103の電圧VC101の安定化時間TT101とを比較して説明する。時間t4においてスイッチSW3がオンとされると、ノードN3と出力端子VOUTとが導通状態とされる。そして出力端子VOUTの方が各種回路と接続されており負荷が大きいため、時間t4においてノードN3の電圧VC1は、出力端子VOUTの出力電圧VO(1) (電圧値VV0) とされる (図2、矢印K3)。次に出力電圧VO(2) が、電圧値VV0を出発点として、「ノードN4の電圧VC2を参照電圧としてオフセット電圧Voffだけずれた電圧」にフィードバック制御されることで、第1電流端子N1および第2電流端子N2に同じ電流が流れる状態で安定になる。ここで出力端子VOUTの先には各種の負荷が接続されているため、出力電圧VO(2) の電圧値を大きく変化させる場合には電圧値が安定するまでの安定化時間が長く必要であり、安定化時間が長いとオフセットキャンセル準備期間HC2を短縮化できず問題である。すなわちオフセットキャンセル準備期間HC2における出力電圧VO(2) の電圧値を大きく変化させない手法をとるのが重要となる。

【0039】

ここで本発明のオペアンプ10では、参照電圧 (時間t4におけるノードN4の電圧VC2) は第2キャパシタC2に記憶されている出力電圧VO(1) (電圧値VV0) であ

る(図2、点P2)。またオフセットキャンセル準備期間HC2開始点での出力電圧VO(2)の電圧値もVV0である(図2、点P3)。よって両者は等しいため、出力電圧VO(2)を、電圧値VV0を出発点として、「オフセット電圧Voff分ずれた電圧」だけフィードバック制御すればよいため、安定化に必要な時間(安定化時間TT1)は短くて済み、時間t5で安定化が終了する。

【0040】

一方、従来のオペアンプ100では、参照電圧(時間t4におけるノードN104の電圧VC102)は一定電圧である参照電圧Vrefである(図2、点B1)。またオフセットキャンセル開始点での出力電圧VOJ(2)は電圧値VV0である(図2、点B2)。よって電圧値VV0と電圧値Vrefの値が離れている場合には、電圧値VV0を出発点として、出力電圧VOJ(2)を「参照電圧Vrefを参照電圧としてオフセット電圧Voffだけずれた電圧(Vref+Voff)」(図2、点B3)までフィードバック制御する必要がある。このような場合、安定化に必要な時間(安定化時間TT101)は、本発明での安定化時間TT1と比較すると長くなり、時間t5aでようやく安定化が終了する。

【0041】

すなわち本発明では、オフセットキャンセル準備期間HC2における参照電圧(ノードN4の電圧VC2、点P2)を、一水平期間前の一水平期間H1における出力電圧VO(図2、点P4)にすることにより、出力電圧VO(2)はオフセット電圧Voff分だけフィードバック制御により変化させればよい構成とすることで、フィードバック制御にかかる時間を従来より短縮化している。一方、従来のオペアンプでは参照電圧は一定(電圧値Vref)であるため、オフセットキャンセル準備期間開始時における出力電圧VOJ(2)の電圧(図2、点B2)と参照電圧(図2、点B1)とが離れている場合には、出力電圧VO(2)を参照電圧値Vref近傍まで変化させなければならず、その分のフィードバック制御にかかる時間が長くなる。

【0042】

例えば出力電圧のフィードバック制御のスルーレート(単位時間当たりの電圧変化量) $=1.8(V/\mu s)$ 、オフセット電圧Voffの電圧値 $=0.4(V)$ 、参照電圧Vref $=7.6(V)$ 、電圧値VV0 $=5.7(V)$ 、電圧値VV1 $=9.9(V)$ である時を考える。従来のオペアンプ100では、電圧値VV0(5.7V)を出発点として、参照電圧値Vref(7.6V)+オフセット電圧値Voff(0.4V)まで、出力電圧VOJを2.3(V)変化させる必要があり、スルーレートから計算すると安定化時間TT101は1.28(μs)必要である。一方、本発明のオペアンプ10では、電圧値VV0を出発点として、オフセット電圧値Voff(0.4V)分だけ電圧VC1を変化させればよいため、安定化時間TT1は0.22(μs)へと約1/6まで短縮されることが分かる。

【0043】

そして安定化時間終了後、時間t6へ移行すると出力期間HT2となり、図1においてスイッチSW2がオンにされ、スイッチSW1、SW3がオフにされる。スイッチSW4はオフ状態である。このときトランジスタM8およびM9のゲートには、トランジスタM1とM2の電流駆動能力の差を反映した、オフセットキャンセル準備期間HC2と同じ電圧が第1キャパシタC1および第2キャパシタC2によって維持されている。よってトランジスタM8、M9に流れるドレイン電流が、トランジスタM1、M2に流れるドレイン電流の差を吸収するように流れる。すなわちカレントミラー回路2の第1電流端子N1と第2電流端子N2とに流れる電流値は等しいとすると、トランジスタM1、M8のドレイン電流の合計値と、トランジスタM2、M9のドレイン電流の合計値とが等しくなるように流れる。この状態は反転入力端子N5と非反転入力端子N6との電圧が等しい時の状態のため、出力端子VOUの出力電圧VO(2)は、入力端子VINの入力電圧VI(2)と等しい電圧値VV1で安定する(図2、点P5)。すなわちオフセットキャンセルが行われる。

【0044】

また本発明の第2実施例のオフセットキャンセル回路を備えたオペアンプ20を図3を用いて説明する。オペアンプ20は、ノードN4と第2キャパシタC2との間に位置するノードN7、スイッチSW1と入力端子VINとの間に位置するノードN8を有し、両ノード間を接続するスイッチSW5を備える。その他の構成は第1実施例におけるオペアンプ10と同じであるためここでは説明を省略する。またスイッチSW5の動作は、第1実施例のオペアンプ10におけるスイッチSW4と同じ動作が行われる。

【0045】

これにより、参照電圧（ノードN4の電圧VC2）が、一水平期間前の出力電圧VOである第1実施例のオペアンプ10に代えて、一水平期間前の入力電圧VIにすることが可能となる。よってオペアンプ20においても、出力電圧VOはオフセット電圧Voff分だけフィードバック制御により変化させればよい構成となり、オフセットキャンセル準備期間におけるフィードバック制御時間を従来より短縮化できる。

【0046】

なお、第2差動対入力回路4は差動対入力回路、トランジスタM8は第1トランジスタ、トランジスタM9は第2トランジスタ、グランド電圧GNDは所定電圧、のそれぞれ一例である。

【0047】

また本発明のオペアンプでは、オフセットキャンセル時間を従来のオペアンプと同等に維持する場合には、同じ時間内にフィードバック制御により変化させる電圧量は本発明のオペアンプの方が小さいため消費電流の低減を図ることが可能である。たとえば第1実施形態で説明したように、安定化時間TT101（1.28（ μ s））内に、従来のオペアンプでは参照電圧値Vref+オフセット電圧Voff（1.28（V））分、本発明のオペアンプではオフセット電圧Voff（0.4（V））分、それぞれフィードバック制御により変動させる場合には、オペアンプで消費される電流は従来のオペアンプでは17（ μ A）、本発明のオペアンプでは11.5（ μ A）となり、消費電流が30%削減される。

【0048】

よって以上により本発明の第1実施形態のオペアンプでは、オフセットキャンセル準備期間HCでは、スイッチSW3の導通によりトランジスタM8のゲートに出力端子VOUの電圧値VOがフィードバックされ、状態遷移前の出力端子の電圧値が保持されている第2キャパシタC2の電圧値に略等しくなるように制御される。この期間には、スイッチSW1が導通しており、差動増幅回路7のオフセット電圧が加算されて制御される。このため出力端子VOUの電圧値VOが第2キャパシタC2の電圧値に対してオフセット電圧だけずれた電圧にフィードバック制御される。そのため第2キャパシタC2の電圧値とフィードバック制御が開始される時点での出力端子VOUの電圧値とが略等しいため、フィードバック制御が終了するまでの時間が短くできる。よってオフセットキャンセル準備期間HCの短縮化が可能となる。

【0049】

本発明のオペアンプを用いた液晶表示装置駆動回路および液晶表示装置に関する第2実施形態を説明する。図12に示すような液晶表示装置におけるラインドライバ130において、オフセットキャンセル付ボルテージホロワ131の構成方法につき、従来の構成方法を抜き出した概略図を図13に示す。ラインドライバ130内では、複数の入出力端子を一つのブロックとして、画素数に応じた数のブロックを配置することによりラインドライバ130が構成される。図13では例として6入力6出力の場合のブロック135を示す。ブロック135にはデータ入力端子DIJ1乃至DIJ6およびデータ出力端子DOJ1乃至DOJ6が備えられる。データ入力端子DIJ1乃至DIJ6には制御回路150（図12）から表示データD1乃至D6が入力され、データ出力端子DOJ1乃至DIJ6から各々対応するデータ線121へ出力される。またデータ入力端子DIJ1乃至DIJ6とデータ出力端子DOJ1乃至DOJ6との間には、入出力端子ごとにボルテージ

ホロワとして動作するオペアンプA J 1乃至A J 6が備えられる。データ入力端子D I J 1から入力されるデータは、オペアンプA J 1の非反転入力にされ、オペアンプA J 1の出力から出力されたデータは、データ出力端子D O J 1を介してデータ線1 2 1 (図1 2)へ出力される。またオフセットキャンセル制御信号入力端子O S Tを介して、オフセットキャンセル制御信号O SがオペアンプA J 1乃至A J 6に入力される。

【0050】

図1 4に従来のラインドライバ1 3 0の動作を説明するタイミングチャートを示す。一水平期間H 1の中にオフセットキャンセル準備期間H C 1と出力期間H T 1とをそなえ、一水平期間をH 1、H 2…と繰り返す動作が行われる。そして例えばS-XGA液晶パネル(画素数1 0 2 4×7 6 8)の場合には、一水平期間7 6 8 Hで1フレーム期間が構成される。またオペアンプA J 1乃至A J 6として、例えば図1 0に示すようなオフセットキャンセル機能を有するオペアンプ回路1 0 0により構成されている。図示しない信号発生器からブロック1 3 5へ入力されるオフセットキャンセル制御信号O Sがハイレベルにされることに応じてオフセットキャンセル準備期間H C 1が開始され、オペアンプ回路1 0 0 (図1 0)のスイッチS W 1 0 1およびS W 1 0 3が導通状態にされ、スイッチS W 1 0 2が非導通状態とされ、オペアンプA J 1乃至A J 6のオフセットがキャンセルされる。そしてオフセットキャンセル制御信号O Sがローレベルとされることに応じてオフセットキャンセル準備期間H C 1が終了し、スイッチS W 1 0 1およびS W 1 0 3が非導通状態にされ、スイッチS W 1 0 2が導通状態とされる。よってオペアンプA J 1乃至A J 6はボルテージホロワとして動作し、データ入力端子D I J 1乃至D I J 6に入力される入力電圧が、データ出力端子D O J 1乃至D O J 6に出力される。このように従来技術においては、オフセットキャンセル準備期間H Cと出力期間H Tとが必要である。そしてXGA表示の場合には一水平期間Hは2 0 (μs)以下が要求され、一水平期間Hの内訳として例えばオフセットキャンセル準備期間H Cは2 (μs)、出力期間H Tは1 8 (μs)の値をとる場合がある。そして液晶の高精細化を進めるためには一水平期間Hのより一層の短縮化が必須であり、オフセットキャンセル準備期間H Cの存在が問題となる。

【0051】

本発明における6入力6出力の場合のブロック3 5の概略図を図4に示す。ブロック3 5にはデータ入力端子D I 1乃至D I 6およびデータ出力端子D O 1乃至D O 6が備えられる。データ入力端子D I 1乃至D I 6には制御回路1 5 0 (図1 2)から表示データD 1乃至D 6が入力され、データ出力端子D O 1乃至D O 6からは表示データD 1乃至D 6が各々対応するデータ線1 2 1 (図1 2)へ出力される。またデータ入力端子D Iとデータ出力端子D Oとの間にはボルテージホロワとして動作するオペアンプA 1乃至A 7が、6組の入出力端子に対して1つ多い7つ備えられる。データ入力端子D I 1は、スイッチS I 1によってオペアンプA 1またはA 2のどちらか一方の非反転入力端子に選択可能に接続される。またデータ出力端子D O 1は、スイッチS O 1によってオペアンプA 1またはA 2のどちらか一方の出力端子に選択可能に接続される。そして以下同様にして、データ入力端子D I 2乃至D I 6およびデータ出力端子D O 2乃至D O 6も、スイッチS I 2乃至S I 6およびS O 2乃至S O 6を備える。

【0052】

またオペアンプA 1乃至A 7に対応するようにDフリップフロップF F 1乃至F F 7が備えられ、それらはシリアル接続されてシフトレジスタを構成する。各Dフリップフロップのクロック入力端子C Kには、一水平期間の周期を有するクロック信号C L Kが入力される。またDフリップフロップF F 1乃至F F 6のリセット信号入力端子Rには、最終段のDフリップフロップF F 7の出力信号Q 7がリセット信号として入力される。またDフリップフロップF F 1乃至F F 7の出力Q 1乃至Q 7は、スイッチS I 1乃至S I 7、およびスイッチS O 1乃至S O 7にそれぞれ入力される。スイッチS I 1およびS O 1は、ローレベルの出力Q 1が入力されるときは共にオペアンプA 2に接続され、ハイレベルの出力Q 1が入力されるときは共にオペアンプA 1に接続される構成を有する。そしてスイッチS I 2乃至S I 7およびS O 2乃至S O 7も同様の作用を奏する。

【0053】

またDフリップフロップFF1の相補出力QB1がオフセットキャンセル信号OC1としてオペアンプA1へ入力される。またDフリップフロップFF1の出力Q1とDフリップフロップFF2の相補出力QB2がアンドゲートAD2へ入力され、アンドゲートAD2の出力がオフセットキャンセル信号OC2としてオペアンプA2へ入力される。以下同様にして、アンドゲートAD3乃至AD7から出力されるオフセットキャンセル信号OC3乃至OC7が、オペアンプA3乃至A7に入力される。DフリップフロップFF1の入力端子Dには入力信号DD1が入力されている。オペアンプA1乃至A6はオフセットキャンセル機能を備え、入力されるオフセットキャンセル信号OCX (X=1~6) がハイレベルの間はオフセットキャンセル動作が行われ、ローレベルの間は通常のボルテージホロウ動作が行われる。

【0054】

作用を説明する。図5にタイミングチャートを示す。図5で一水平期間H1の期間中にはDフリップフロップFF1乃至FF7の出力Q1乃至Q7はすべてローレベルである。よってスイッチSI1およびSO1は共にオペアンプA2に接続されるため、オペアンプA1はデータ入力端子DI1およびデータ出力端子DO1とは切り離され、非選択のオペアンプとされる。またオペアンプA2はデータ入力端子DI1およびデータ出力端子DO1と接続される。そしてオペアンプA3はデータ入力端子DI2およびデータ出力端子DO2と接続、オペアンプA4はデータ入力端子DI3およびデータ出力端子DO3と接続され、以下同様にしてオペアンプA7はデータ入力端子DI6およびデータ出力端子DO6と接続される。また一水平期間H1においてはハイレベルのオフセットキャンセル信号OC1 (すなわちDフリップフロップFF1の相補出力QB1がオペアンプA1に入力されるため、一水平期間H1中はオペアンプA1はオフセットキャンセル動作が行われる。またオフセットキャンセル信号OC2乃至OC7はローレベルのためオペアンプA2乃至A7はボルテージホロウ動作が行われ、データ入力端子DI1乃至DI6に入力される表示データD1乃至D6がデータ出力端子DO1乃至DO6から出力される。

【0055】

次に一水平期間H2へ移行すると、不図示の信号発生回路によりハイレベルとされた入力信号DD1が、DフリップフロップFF1に入力される。ここで入力信号DD1はクロック信号CLKの最初の1周期においてローレベル、続く6周期においてハイレベルを繰り返す信号である。そしてDフリップフロップFF1の出力Q1がハイレベルとされる(矢印Y1) ことに応じてスイッチSI1およびSO1のみが切り替わることで、データ入力端子DI1およびデータ出力端子DO1はオペアンプA2からオペアンプA1へと接続先が切り替えられる。このとき他のスイッチは切り替え動作が行われないうために、オペアンプA3乃至A7はデータ入力端子DI2乃至DI6、データ出力端子DO2乃至DO6と接続状態が維持されるため、オペアンプA2のみがデータ入出力端子から完全に切り離される。すなわち非選択のオペアンプがオペアンプA1からA2に切り替えられる。またハイレベルのDフリップフロップFF1の出力Q1およびDフリップフロップFF2の相補出力QB2がアンドゲートAD2に入力されるため、ハイレベルのオフセットキャンセル信号OC2がオペアンプA2に入力され(矢印Y2)、一水平期間H2中はオペアンプA2はオフセットキャンセル動作が行われる。またオフセットキャンセル信号OC1およびOC3乃至OC7はローレベルのためオペアンプA1およびA3乃至A7ではボルテージホロウ動作が行われ、データ入力端子DI1乃至DI6に入力される画像データをデータ出力端子DO1乃至DO6に出力する。

【0056】

そして同様の動作が一水平期間H3乃至H7においても行われる。すなわち図6のオペアンプの切り替え動作表に示すように、一水平期間がH1からH7まで経過する場合には、オペアンプA1からA7までが順番に入出力端子と非接続状態とされた上でオフセットキャンセルが行われる。

【0057】

そして図5において一水平期間H7が経過し一水平期間H8へ移行すると、クロック信号CLKの立ち上がりエッジ信号によりDフリップフロップFF7の出力Q7がハイレベルとされる(矢印Y3)。DフリップフロップFF7の出力Q7は、リセット信号としてDフリップフロップFF1乃至FF6のリセット信号入力端子Rに入力されるため、DフリップフロップFF1乃至FF6の出力Q1乃至Q6はすべてローレベルへとリセットされ(矢印Y4)、スイッチSI1乃至SI6およびスイッチSO1乃至SO6はすべて切り替えられる。すなわち図6において、一水平期間H8では一水平期間H1と同じ接続状態へ戻され、オペアンプA1ではデータ入出力端子とは切り離されオフセットキャンセル動作が行われると共に、オペアンプA2乃至A7からは表示データD1乃至D6が出力される。

【0058】

次にオペアンプA1におけるオフセットキャンセル動作を説明する。オペアンプA1は図7に示すようなオフセットキャンセル機能を有するオペアンプ回路10aにより構成されている。オペアンプ回路10aは、従来のオペアンプ100の回路図(図10)に対して、ノードN10とノードN11とをスイッチSW6で接続する構成を有している。これはオペアンプA1がオフセットキャンセル動作が行われるときは、入力端子VINおよび出力端子VOUTはデータ入力端子DI1およびデータ出力端子DO1とは接続されておらず、スイッチSW1がオン、スイッチSW2がオフとされるため、トランジスタM1とM2のゲートがフローティング状態になることを防止するために、SW6を介して参照電圧VrefをトランジスタM1とM2のゲートに供給するものである。その他の構成は従来のオペアンプ100と同じであるため説明を省略する。

【0059】

図8にオペアンプ回路10aのタイミングチャートを示す。一水平期間H1の期間中においてはハイレベルのオフセットキャンセル信号OC1(すなわちDフリップフロップFF1の相補出力QB1)がオペアンプA1に入力され、オフセットキャンセル信号OC1のハイレベルに応じてオペアンプ回路10a内のスイッチSW1、SW3、SW6がオン状態、スイッチSW2がオフ状態とされる(矢印Y6)。また一水平期間H1において、入力端子VINおよび出力端子VOUTは、データ入力端子DI1およびデータ出力端子DO1(図4参照)とは接続されていないため、SW6を介して参照電圧VrefがNMOSトランジスタM1とM2のゲートに供給される。その他の動作は従来のオペアンプ100と同様であり、オペアンプA1のオフセットがキャンセルされる。一水平期間H2乃至H7では、オペアンプA1の入力端子VINおよび出力端子VOUTは、データ入力端子DI1およびデータ出力端子DO1と接続され、入力される表示データD1をボルテージホロワとして出力する。一水平期間H8では一水平期間H1と同様にオペアンプA1オフセットキャンセルが行われる。以下同様の動作が繰り返される。なお、オペアンプA2乃至A7においても同様の構成である。

【0060】

またラインドライバは、複数の入出力端子を一つのブロックとして、このブロックを複数配置することにより構成されるが、この1ブロック当たりの入出力端子数は例えば384端子などの値が用いられる。この端子数における第2実施形態のオフセットキャンセル準備期間の間隔の妥当性を考えると、一水平期間が20(μ s)の場合は、図6のオペアンプの切り替え動作表に従って一水平期間が384周期に1回(すなわち7.7(ms)に1回)オフセットキャンセルが行われる。また図7に示すオペアンプ回路10aにおいて第1キャパシタC1の許容される容量誤差を1(mv)、容量を500(fF)、リーク電流を20(fA)とすると、1(mv)低下するのにかかる時間は25(ms)である。すなわち1回オフセットキャンセルが完了すると25(ms)はオフセットが有効に記憶される。よって384周期に1回のオフセットキャンセル実行で十分であることが分かる。

【0061】

よって以上により本発明の液晶表示装置駆動回路および液晶表示装置では、表示データ

D1乃至D6の出力に用いられないオペアンプが一水平期間ごとに順次遷移し、出力に用いられない間にオフセットキャンセル動作が行われる。そして一度オフセットキャンセル動作が行われれば、得られたオフセット値は次のオフセットキャンセル動作が行われるまで保持される。よって一水平期間ごとに、各出力期間に先立ち別途オフセットキャンセル準備期間を設ける必要がなく、オフセットキャンセル準備期間を出力期間に埋め込ませる必要がなくなるため、一水平期間のより一層の短縮化が可能となる。そのため表示ライン数を多くして液晶表示装置の高精細化を図ることができる。

【0062】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。第1実施形態のオペアンプ10（図1）において第1キャパシタC1および第2キャパシタC2を備えるとしたが、両キャパシタに保持された電荷がリークする速度がほぼ等しいときには、両キャパシタの容量を小さくすることができる。これは両キャパシタの電圧値の差が問題となるためであって、電荷リーク速度がほぼ等しい場合には、リークが発生しても両キャパシタの電圧差が保持されるためである。一方、従来のオペアンプ10ではキャパシタC101は固定値である参照電圧V_{ref}との電圧差を保持しなければならないため電荷がリークすることは避けなければならない、そのためキャパシタC101の容量を大きくする必要があった。またキャパシタを半導体集積回路上に作成する場合には、トランジスタ等の他の素子に比して大きな面積を必要とすることを考えると、本発明でキャパシタの容量を小さくすることにより、半導体装置の面積の縮小化、低価格化が図れる。

【0063】

また第1キャパシタC1または第2キャパシタC2に高比誘電率材料を用いたキャパシタを用いれば、容量を確保しながらキャパシタ面積を減少させることが可能となり半導体装置の面積の縮小化、低価格化が図れる。また面積を一定に保ったまま容量を大きくすることが可能となり、オフセットキャンセルの精度を上げることができる。

【0064】

またオペアンプ10（図1）において、ノードN3と電源電圧V_{DD}とを、およびノードN3とグランド電圧GNDとをそれぞれ抵抗を介して接続し、少なくとも一方の抵抗を抵抗可変型の記憶素子とする構成を用いることが可能である。これによりオフセット値をキャパシタを用いる方法に比して長い時間記憶させることが可能であり、オフセットキャンセルを行う頻度を少なくすることが可能となる。

【0065】

また第2実施形態においてオペアンプA1は図7に示すようなオフセットキャンセル機能を有するオペアンプ回路10aにより構成されているとしたが、第1実施形態における本発明に係るオペアンプ10（図1）により構成されるとしてもよい。なおこの場合、オペアンプA1がオフセットキャンセル動作が行われるときは、トランジスタM1とM2のゲートがフローティング状態になることを防止するために、図示しないスイッチを介して所定電圧をトランジスタM1とM2のゲートに供給することが好ましい。

【0066】

また第2実施形態においてデータ入力端子DIとデータ出力端子DOとの間にはボルテージホロワとして動作するオペアンプA1乃至A7が、6組の入出力端子に対して1つ多い7つ備えられるとしたが、本発明はこれらの構成に限られない。例えば、1組の入出力端子DI1およびDO1に対して3つのオペアンプA1乃至A3が備えられ、スイッチによってオペアンプA1乃至A3が順次選択される構成とし、この構成が各入出力端子について備えられるとしてもよい。これにより、3回のスイッチ切り替えにつき1回オペアンプが選択されるため、オペアンプが選択される周期が長くなりオフセットキャンセルを行うための時間を十分に確保することができる。

【0067】

またオフセットキャンセル順番は図6のオペアンプの切り替え動作表に示すように、一水平期間がH1からH7まではオペアンプA1からA7までが順番に入出力端子と非接続

状態とされた上でオフセットキャンセルが行われ一水平期間 H 8 では一水平期間 H 1 と同じ接続状態へ戻されるとしたが、これに限られない。例えば図 9 に示すように一水平期間 H 1 から H 7 まではオペアンプ A 1 から A 7 が昇順にオフセットキャンセルされ、一水平期間 H 8 から H 13 まではオペアンプ A 6 から A 1 が降順にオフセットキャンセルされ、という順番を繰り返す形態をとってもよい。

【図面の簡単な説明】

【0068】

【図 1】本発明の第 1 実施形態の第 1 実施例におけるオペアンプの回路図

【図 2】本発明の第 1 実施形態の第 1 実施例におけるオペアンプのタイミングチャート

【図 3】本発明の第 1 実施形態の第 2 実施例におけるオペアンプの回路図

【図 4】本発明の第 2 実施形態におけるブロックの概略図

【図 5】本発明の第 2 実施形態におけるブロックのタイミングチャート

【図 6】本発明の第 2 実施形態におけるオペアンプの切り替え動作表（その 1）

【図 7】本発明の第 2 実施形態におけるオペアンプの回路図

【図 8】本発明の第 2 実施形態におけるオペアンプのタイミングチャート

【図 9】本発明の第 2 実施形態におけるオペアンプの切り替え動作表（その 2）

【図 10】従来のオフセットキャンセル機能を有するオペアンプの回路図

【図 11】従来のオフセットキャンセル機能を有するオペアンプのタイムチャート

【図 12】液晶表示装置の概略構成

【図 13】従来のラインドライバの構成を示す図

【図 14】従来のラインドライバの動作を説明するタイミングチャート

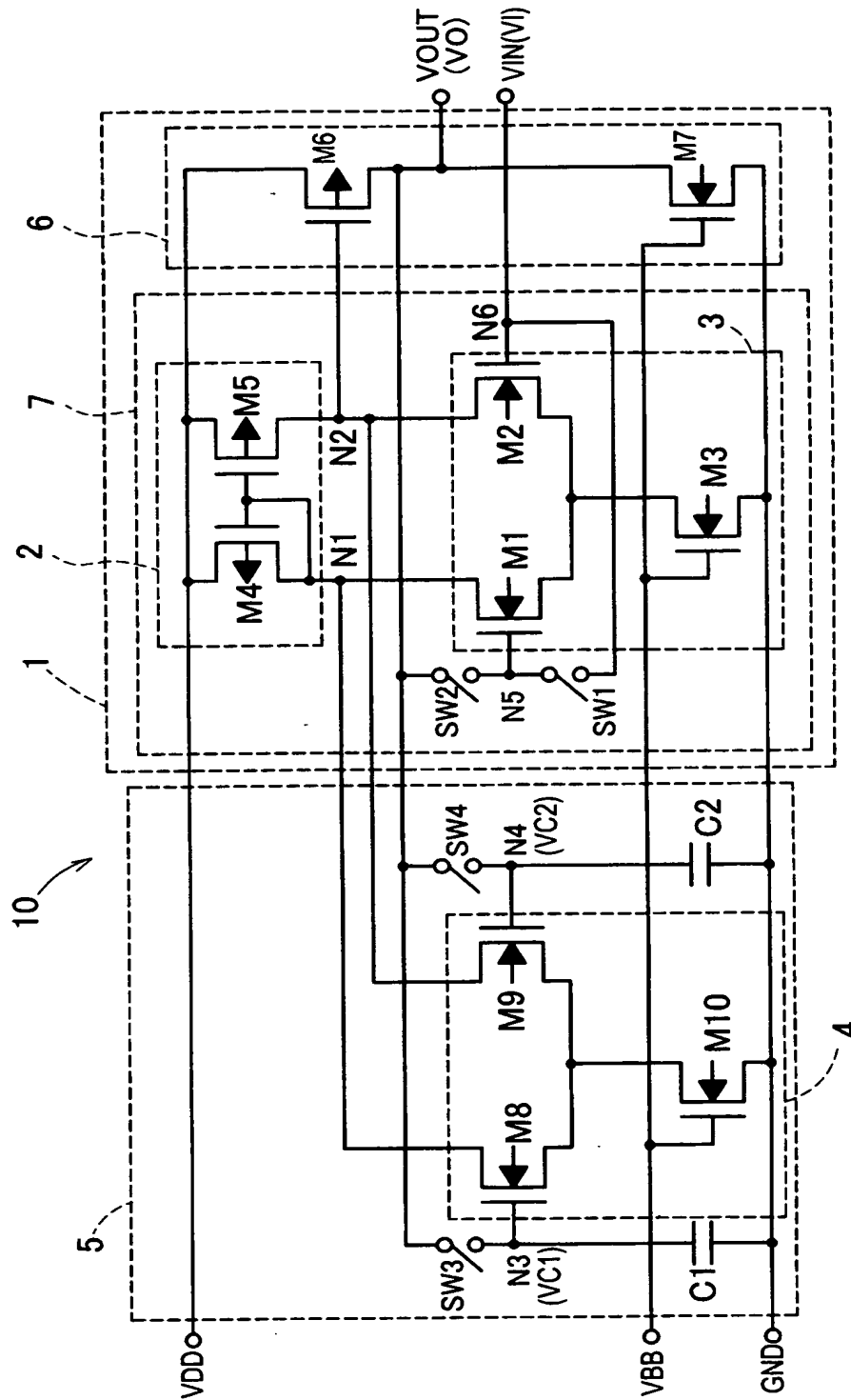
【符号の説明】

【0069】

1	オペアンプ回路
2	カレントミラー回路
3	第 1 差動対入力回路
4	第 2 差動対入力回路
5	オフセットキャンセル回路
6	出力バッファ回路
7	差動増幅回路
10	オペアンプ
C1、C2	キャパシタ
H	一水平期間
HC	オフセットキャンセル準備期間
HT	出力期間
VI	入力電圧
VO	出力電圧
Voff	オフセット電圧
Vref	参照電圧
TT1、TT101	安定化時間
A1乃至A7	オペアンプ
FF1乃至FF7	Dフリップフロップ
S11乃至S17、S01乃至S07	スイッチ
DI1乃至DI6	データ入力端子
DO1乃至DO6	データ出力端子

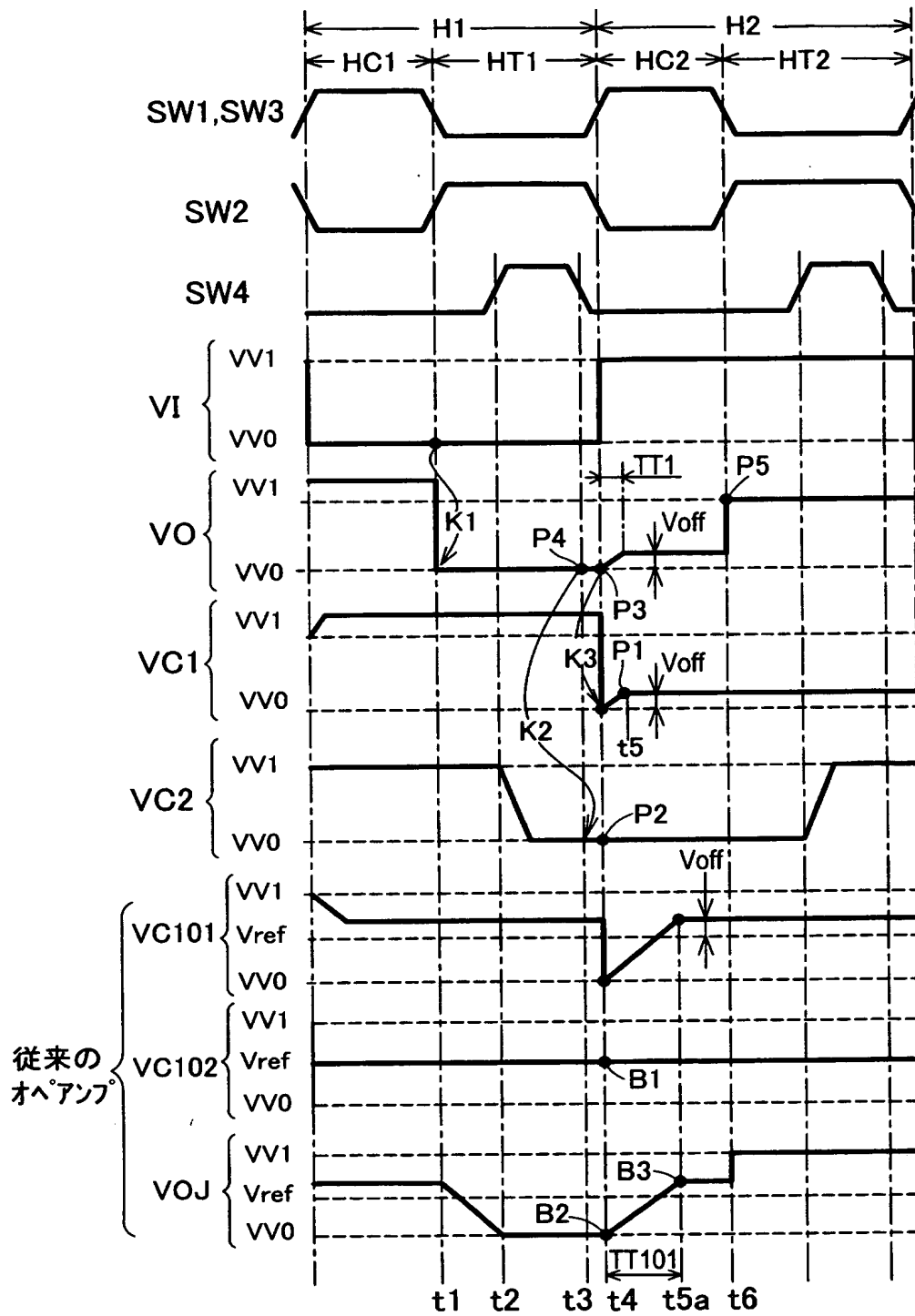
【書類名】 図面
【図 1】

本発明の第1実施形態の第1実施例におけるオペアンプの回路図



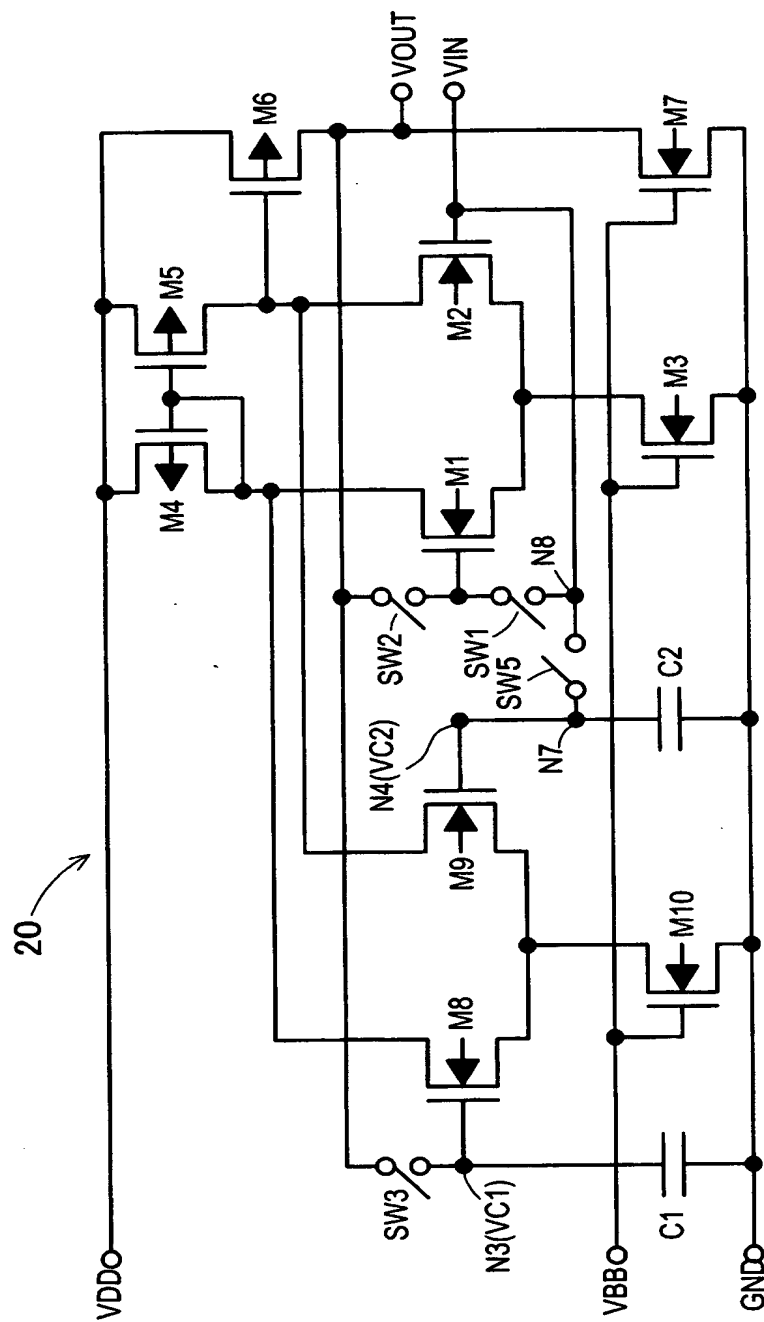
【図 2】

本発明の第1実施形態の第1実施例におけるオペアンプの
タイミングチャート



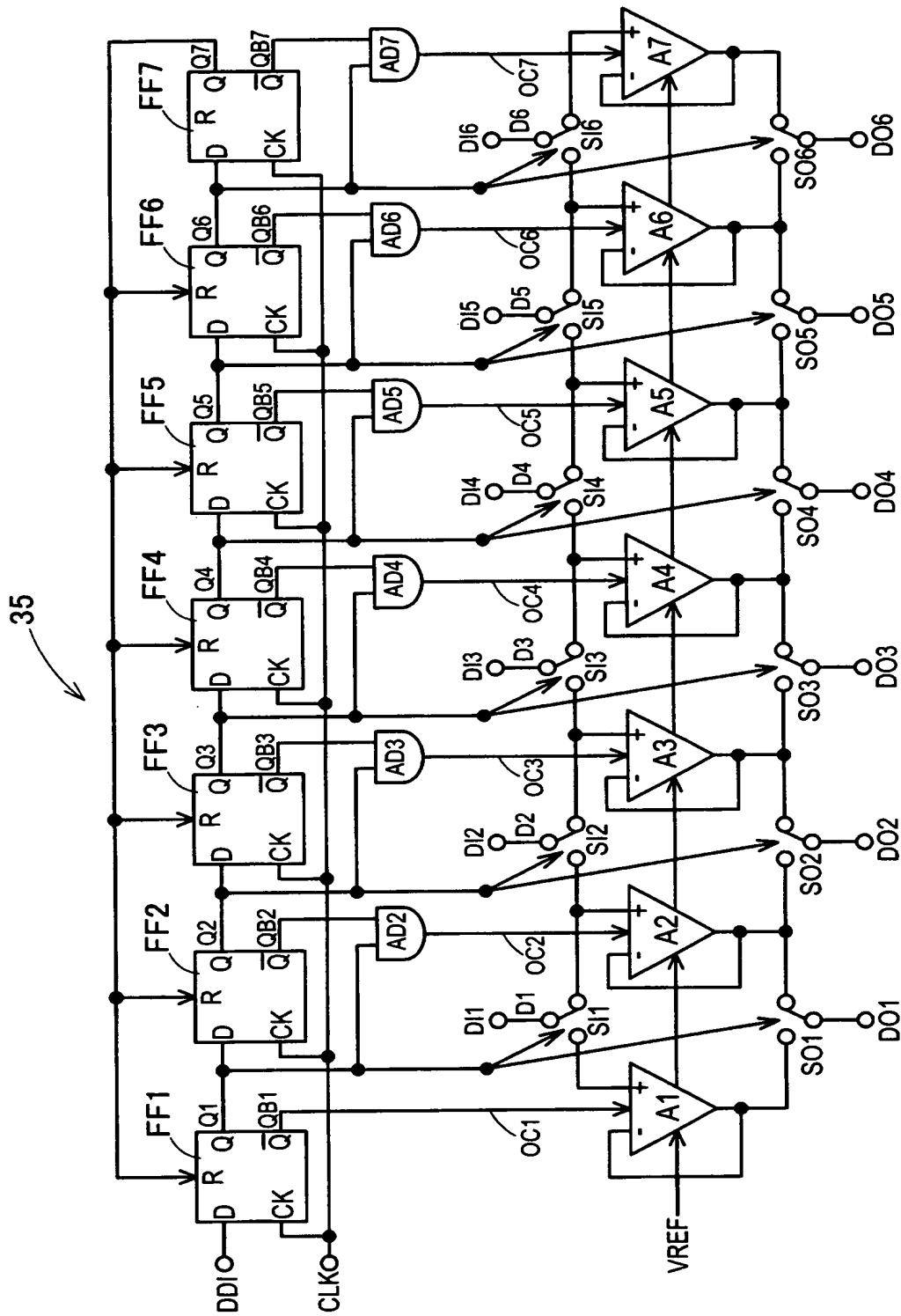
【図 3】

本発明の第1実施形態の第2実施例におけるオペアンプの回路図



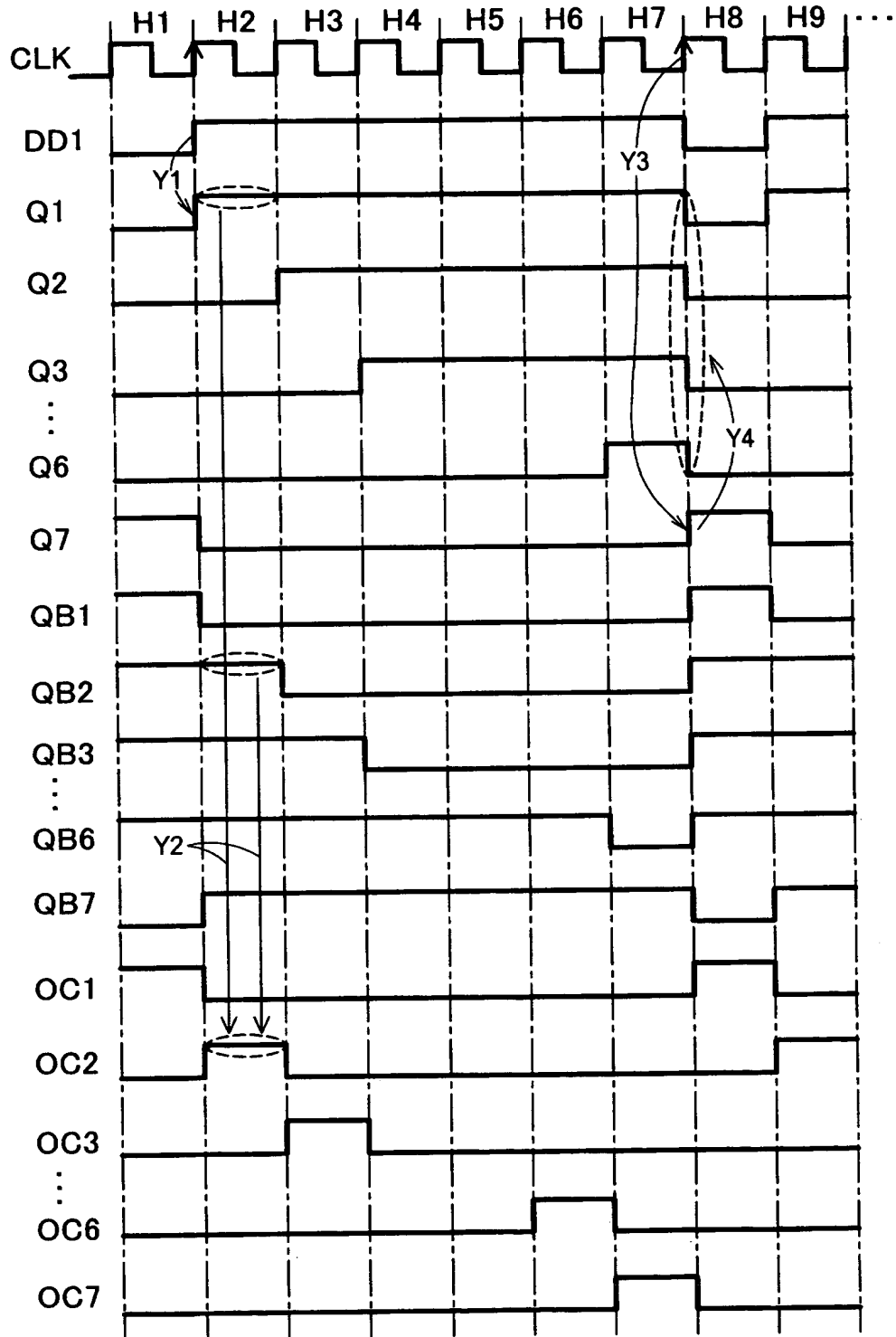
【図 4】

本発明の第2実施形態におけるブロックの概略図



【図 5】

本発明の第2実施形態におけるブロックのタイミングチャート



【図 6】

本発明の第2実施形態におけるオペアンプの切り替え動作表(その1)

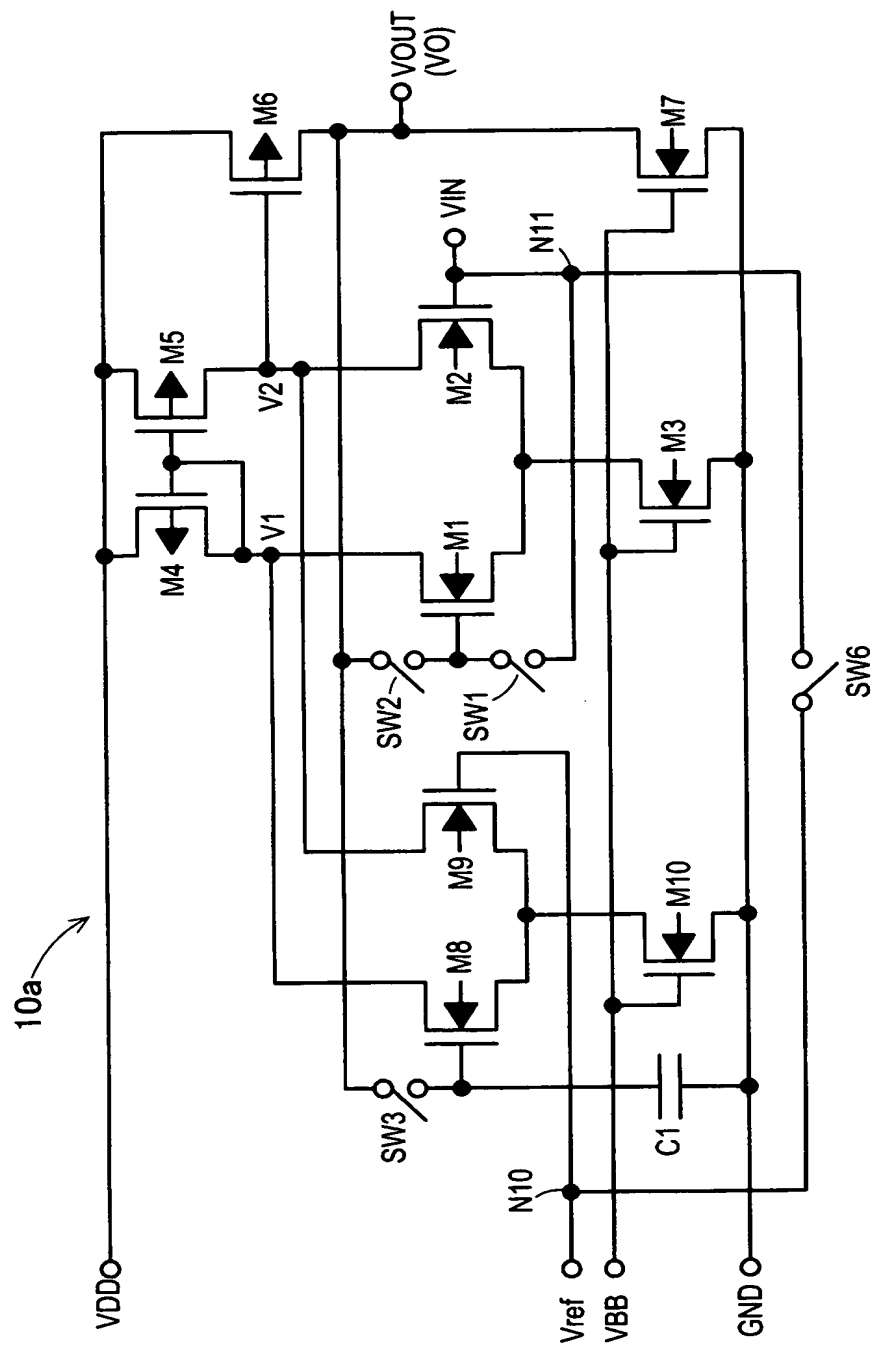
オペアンプ

	A1	A2	A3	A4	A5	A6	A7
H1	オフセット キャンセル	D1	D2	D3	D4	D5	D6
H2	D1	オフセット キャンセル	D2	D3	D4	D5	D6
H3	D1	D2	オフセット キャンセル	D3	D4	D5	D6
H4	D1	D2	D3	オフセット キャンセル	D4	D5	D6
H5	D1	D2	D3	D4	オフセット キャンセル	D5	D6
H6	D1	D2	D3	D4	D5	オフセット キャンセル	D6
H7	D1	D2	D3	D4	D5	D6	オフセット キャンセル
H8	オフセット キャンセル	D1	D2	D3	D4	D5	D6
H9	D1	オフセット キャンセル	D2	D3	D4	D5	D6
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

一水平期間

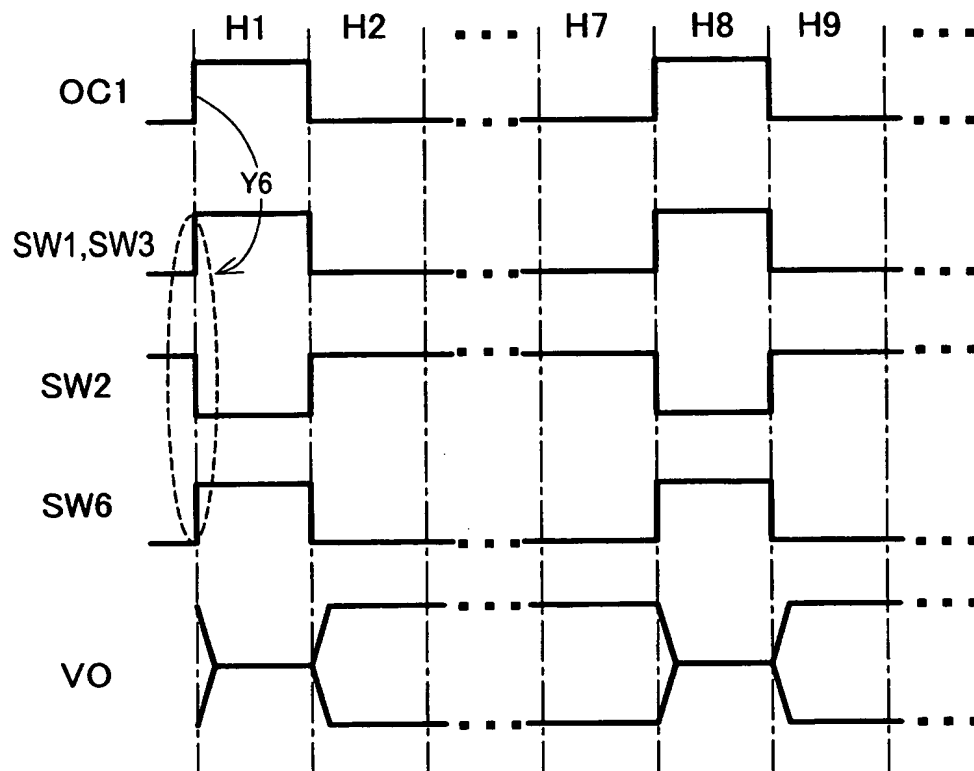
【図 7】

本発明の第2実施形態におけるオペアンプの回路図



【図 8】

本発明の第2実施形態におけるオペアンプのタイミングチャート



【図 9】

本発明の第2実施形態におけるオペアンプの切り替え動作表(その2)

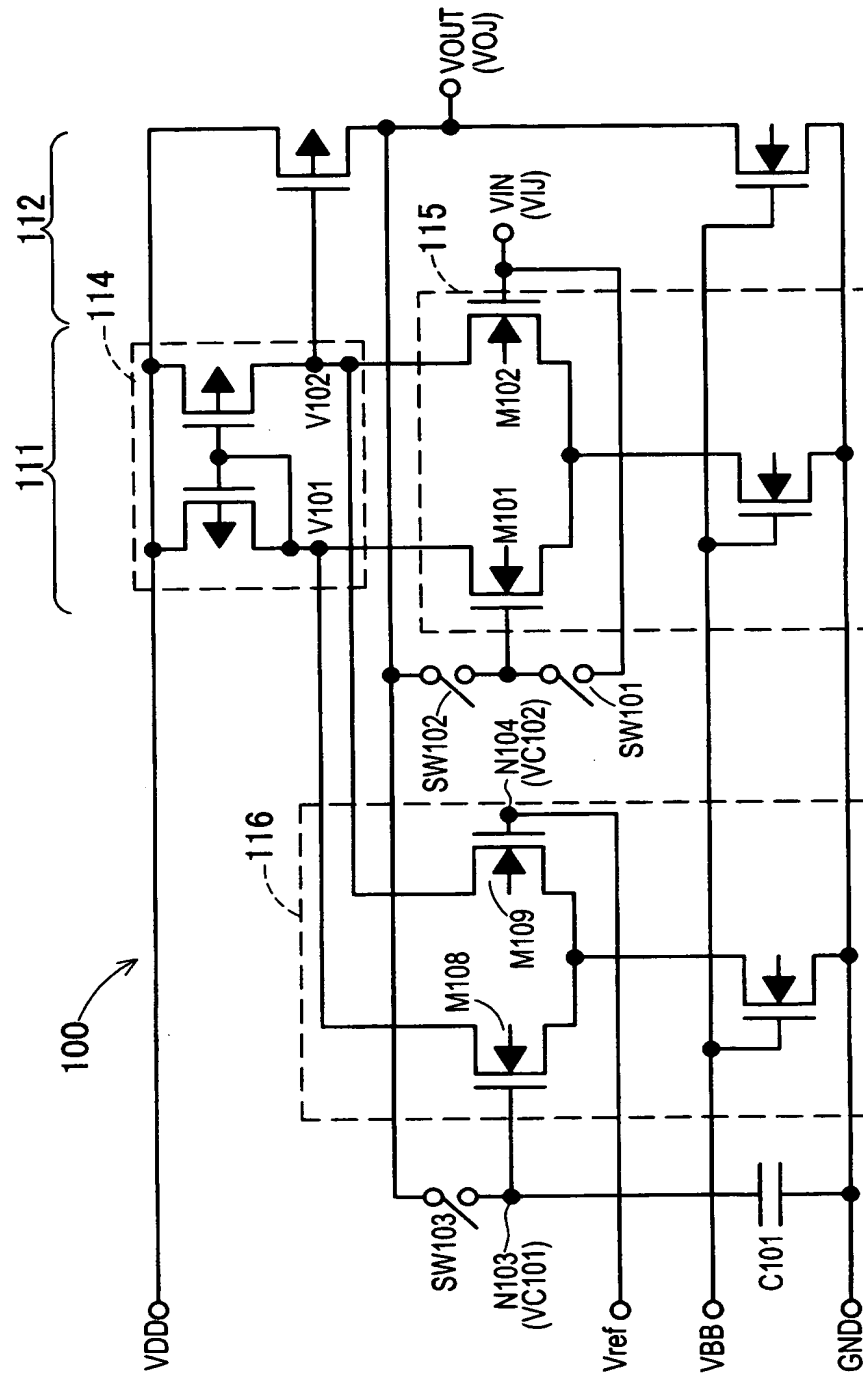
オペアンプ

	A1	A2	A3	A4	A5	A6	A7
H1	オフセット キャンセル	D1	D2	D3	D4	D5	D6
H2	D1	オフセット キャンセル	D2	D3	D4	D5	D6
H3	D1	D2	オフセット キャンセル	D3	D4	D5	D6
H4	D1	D2	D3	オフセット キャンセル	D4	D5	D6
H5	D1	D2	D3	D4	オフセット キャンセル	D5	D6
H6	D1	D2	D3	D4	D5	オフセット キャンセル	D6
H7	D1	D2	D3	D4	D5	D6	オフセット キャンセル
H8	D1	D2	D3	D4	D5	オフセット キャンセル	D6
H9	D1	D2	D3	D4	オフセット キャンセル	D5	D6
H10	D1	D2	D3	オフセット キャンセル	D4	D5	D6
H11	D1	D2	オフセット キャンセル	D3	D4	D5	D6
H12	D1	オフセット キャンセル	D2	D3	D4	D5	D6
H13	オフセット キャンセル	D1	D2	D3	D4	D5	D6
H14	D1	オフセット キャンセル	D2	D3	D4	D5	D6
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

一水平期間

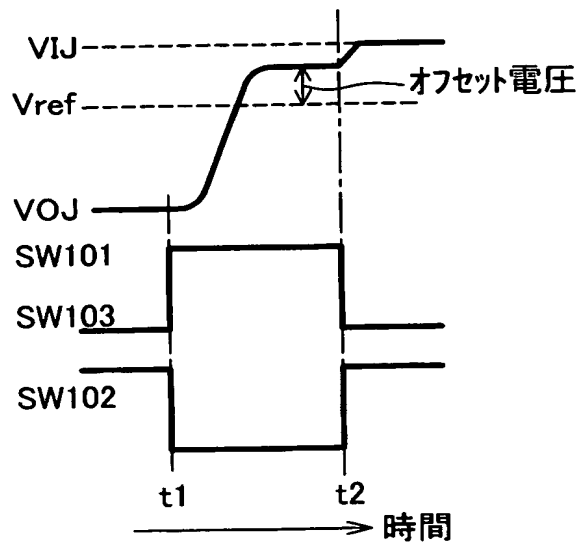
【図 10】

従来のオフセットキャンセル機能を有するオペアンプの回路図



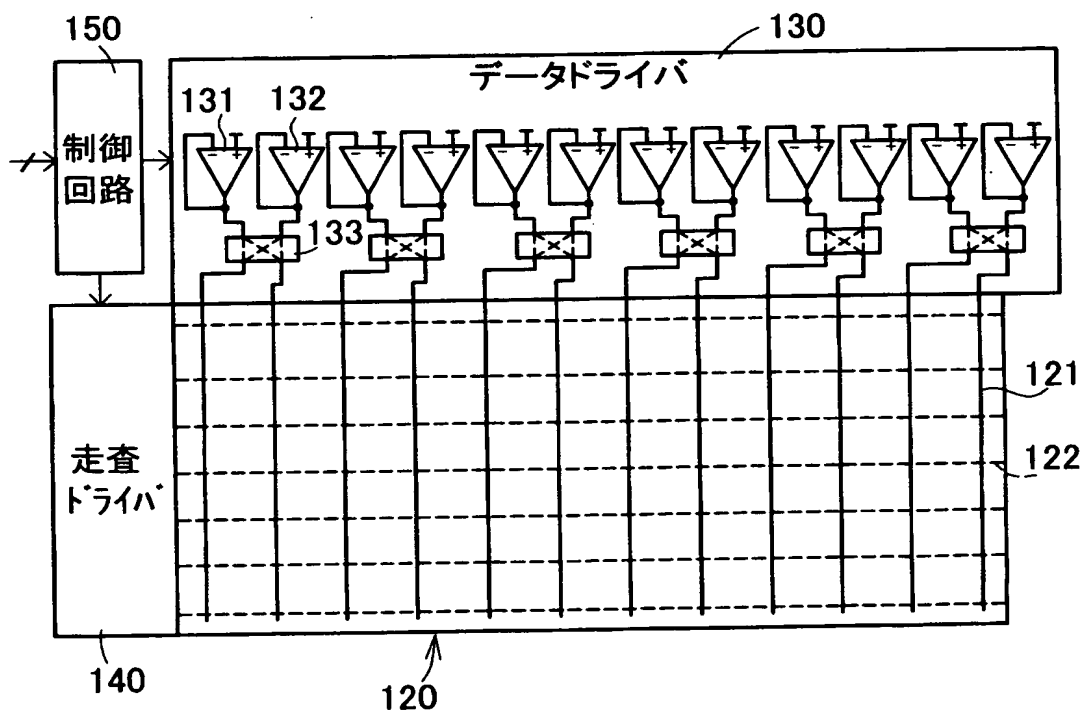
【図 11】

従来のオフセットキャンセル機能を有するオペアンプの
タイミングチャート



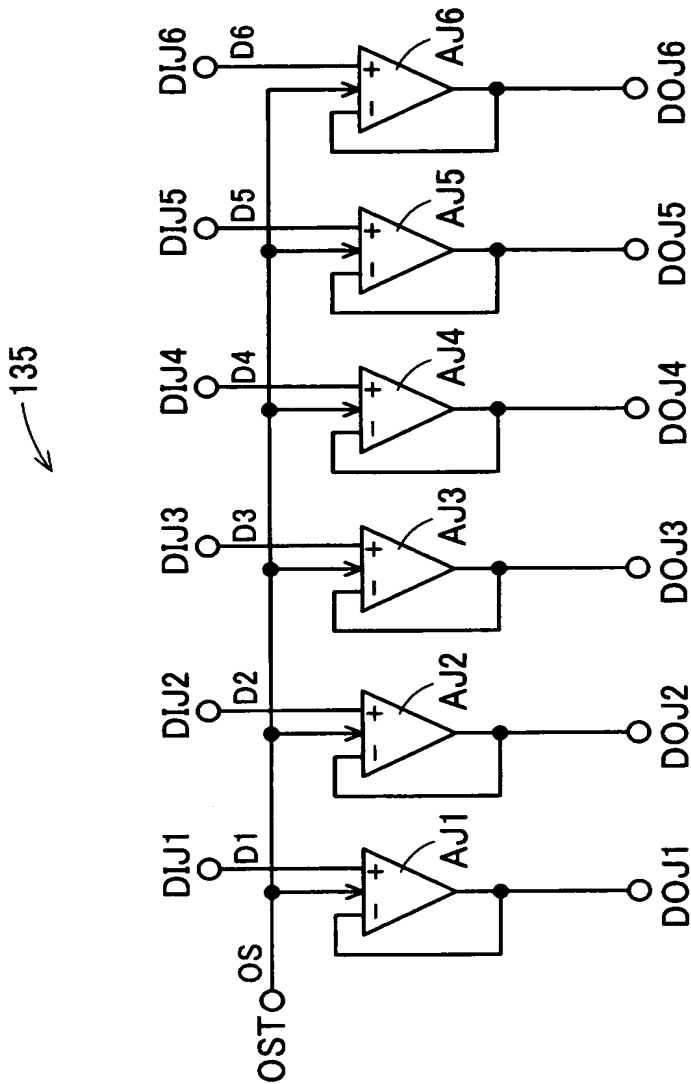
【図 12】

液晶表示装置の概略構成



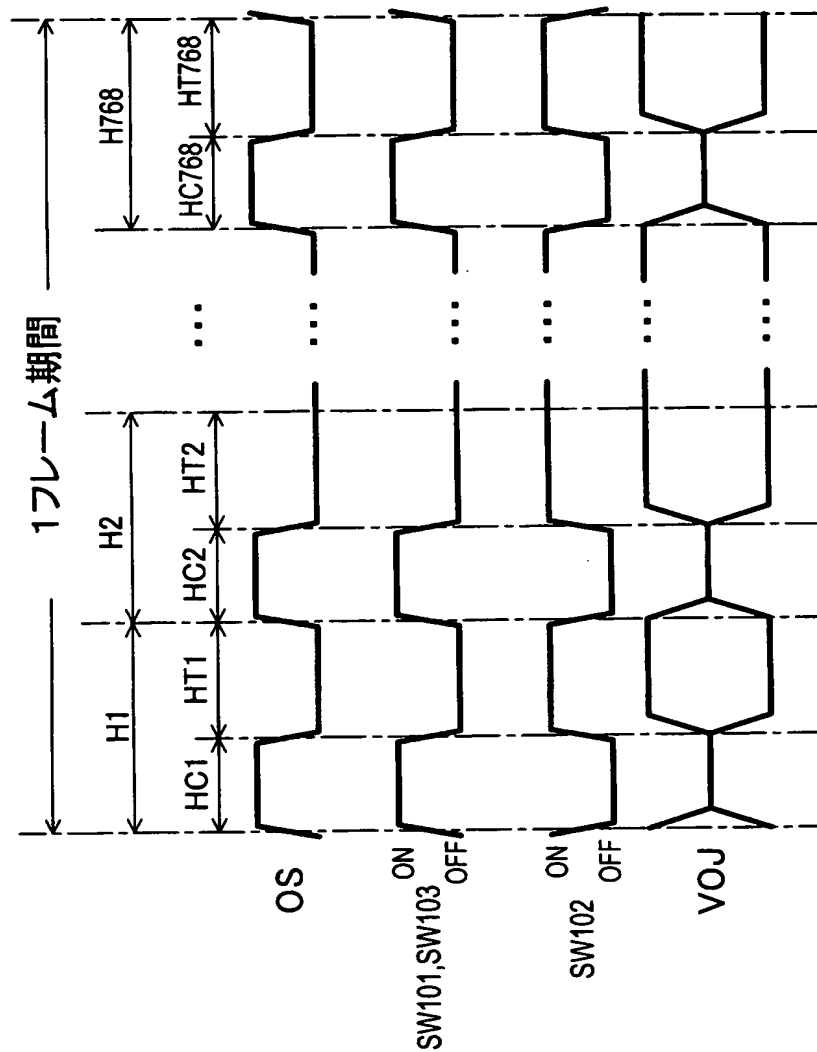
【図 13】

従来のラインドライバの構成を示す図



【図 14】

従来のラインドライバの動作を説明するタイミングチャート



【書類名】 要約書**【要約】**

【課題】 より短時間でオフセットキャンセルが可能なオペアンプ、並びに一水平期間内を短くすることが可能なラインドライバおよび液晶表示装置を提供することである。

【解決手段】

本発明のオペアンプでは、オフセットキャンセル準備期間 H C 2 における参照電圧を、一水平期間前の一水平期間 H 1 における出力電圧 V O にすることにより、出力電圧 V O (2) はオフセット電圧 V o f f 分だけフィードバック制御により変化させればよい構成とすることで、フィードバック制御にかかる時間を従来より短縮化している。

また本発明のラインドライバでは、表示データ D 1 乃至 D 6 の出力に用いられないオペアンプがオフセットキャンセル動作が行われ、一水平期間ごとに順次遷移する。よってオフセットキャンセル準備期間を出力期間に埋め込ませる必要がなくなるため、一水平期間のより一層の短縮化が可能となる。

【選択図】 図 1

特願 2 0 0 3 - 3 5 2 2 0 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社